

明德扬科技教育有限公司

FIFO 练习 3 说明

官 网: www.mdy-edu.com

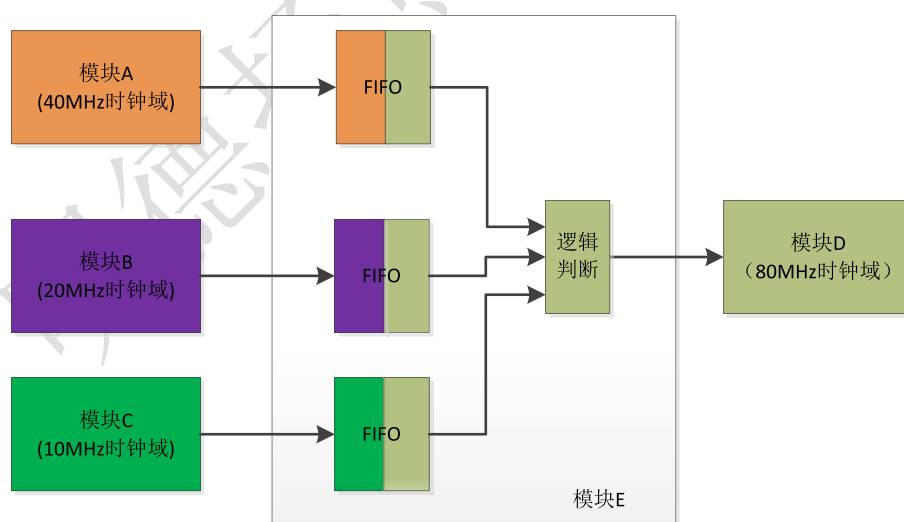
淘 宝: mdy-edu.taobao.com

QQ 群: 97925396

QQ 咨询: 158063679

一、练习内容及要求

实现背景



如上图所示，模块ABC的数据，汇聚到模块D中。其中模块A的工作时钟是40MHz、模块B时钟是20MHz，模块C的时钟是10MHz，模块D的工作时

钟是 80MHz。

此练习实现模块 E，该模块具有如下功能：

- 1) 模块内部包含三个 FIFO，每个 FIFO 数据位宽均为 8bit，深度是 64，有 empty 指示信号。三个 FIFO 命名为 FIFO1~3，分别存储模块 ABC 的数据。
- 2) 每组输入数据进来后，分别保存到三个 FIFO 中
- 3) 模块 E 查询三个 FIFO 的状态，如果看到 FIFO 中有数据，就从 FIFO 中读取数据，送给下游模块（模块 D）。模块 E 首先检查 FIFO1，如果 FIFO1 有数据，则读取送给下游；如果 FIFO1 没有数据，而 FIFO2 有数据，则读取 FIFO2 数据；如果 FIFO1 和 FIFO2 均无数据，而 FIFO3 有数据，则读取 FIFO3 数据。
- 4) 由于读带宽比写带宽要大(WHY?)，因此三个 FIFO 是不可能溢出的，因此不需要写满保护。

二、信号列表

信号名	I/O	位宽	说明
rst_n	I	1	复位信号
clk_a	I	1	写时钟
data_a	I	16	输入的数据，clk_a 时钟域
data_a_vld	I	1	输入的数据有效指示信号，clk_a 时钟域
clk_b	I	1	写时钟
data_b	I	16	输入的数据，clk_b 时钟域
data_b_vld	I	1	输入的数据有效指示信号，clk_b 时钟域
clk_c	I	1	写时钟
data_c	I	16	输入的数据，clk_c 时钟域

data_c_vld	I	1	输入的数据有效指示信号，clk_c 时钟域
clk_d	I	1	读时钟
data_d	O	16	输出的数据，clk_d 时钟域
data_d_vld	O	1	输出数据有效指示信号，clk_d 时钟域
chan_d	O	2	输出通道号指示信号，表示当前数据是来自哪一个模块的，当 data_d_vld 有效时，此信号有效。clk_d 时钟域。0：模块 A；1：模块 B；2：模块 C；其他：无意义。

三、学习建议

- 1、按照功能要求，思考、设计出代码。
- 2、编写测试文件，对代码进行仿真。建议至少仿真如下几种情况：
 - a 模块 ABC 满带宽发送数据，长时间测试，没有任何丢包。
- 3、学习配套的设计思路视频，找出自己思路的异同，选择较好的思路
- 4、按照最新的设计思路，再实现一次