

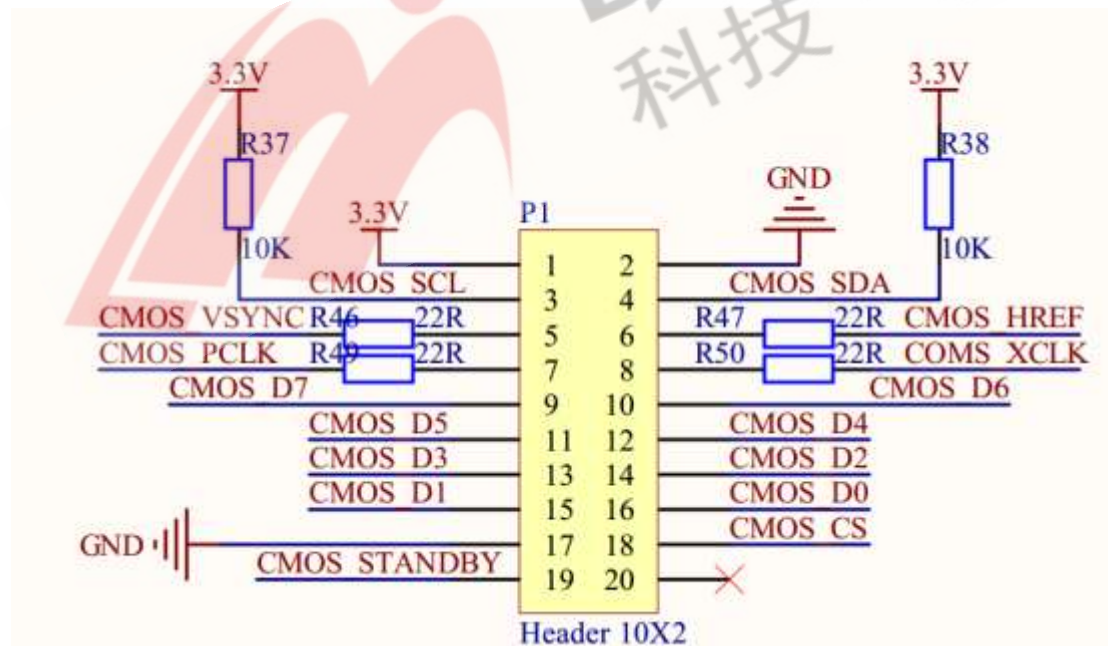
# IP 核设计(PLL)说明文档

## 1 功能描述

通常一个 FPGA 系统，包含有多个不同的时钟。有部分时钟是由同一个时钟源产生的，这个时钟我们就需要用到 PLL 来产生这些时钟。用 PLL 产生的时钟稳定、信号质量好，并且得到了较好的优化。如果通过自己分频产生的时钟，则没有这种效果。所以在 FPGA 设计中，不建议自己产生时钟。

我们这个工程，产生个 PLL 模块，并且将产生的时钟输出到管脚上，用示波器进行显示。。该工程具有如下功能：

- 1) 工程的输入时钟是 50MHz 晶振产生的时钟。
- 2) 工程内部包含一个 PLL IP 核，该 PLL 可以产生三个时钟。
- 3) 时钟 1: 30MHz，其他默认。
- 4) 时钟 2: 200MHz，其他默认。
- 5) 时钟 3: 100MHz，占空比为 25%
- 6) 产生的三个时钟，输出到如下图中的管脚 CMOS\_D0~D2
- 7) 输出 locked 指示信号，输出到管脚 CMOS\_D3
- 8) 通过示波器观察上述信号



## 2 信号列表

信号名	I/O	位宽	说明
clk	I	1	50MHz 的写时钟
rst_n	I	1	复位信号

clk_out0	I	16	输出时钟 0
clk_out1	I	1	输出时钟 1
clk_oout2	I	1	输出时钟 2
locked	O	1	PLL 锁定指示信号



明德扬  
科技·教育