

# 明德扬科技教育有限公司

## FIFO 练习 1 说明

官 网: [www.mdy-edu.com](http://www.mdy-edu.com)

淘 宝: [mdy-edu.taobao.com](http://mdy-edu.taobao.com)

QQ 群: 97925396

QQ 咨询: 158063679

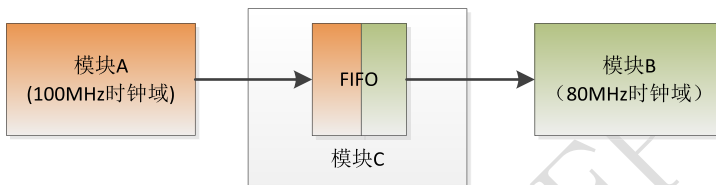
## 一、练习内容及要求

实现背景



如上图所示,模块 A 要发送数据给模块 B。其中模块 A 的工作时钟是 100MHz 的,模块 B 的工作时钟是 80MHz 的。如果 A 直接将数据送给 B,由于时钟不同,B 势必会丢失数据或多采集数据(请读者思考为什么)。

业界常用的一个解决方案是使用 FIFO。如下图所示:



由于 FIFO 内部可以作了跨时钟域处理,读写时钟可以不同,因此非常适合用于解决上述问题。

FIFO 可以说是 FPGA 里,最常用的 IP 核,读者务必要掌握 FIFO 的使用。使用 FIFO 时,保证 FIFO 已经处于满状态时,不再往 FIFO 里写数据;当 FIFO 处于空状态时,不再读 FIFO 的数据。

当然,正常的项目中,如果没有特别说明,中间是不允许丢失数据,也不允许多一个数据的。这在设计时,同样需要认真考虑的。

我们这个练习,就是实现模块 C。该模块具有如下功能:

- 1) 模块内部包含一个 FIFO,该 FIFO 数据位宽 16bit,深度是 64,有 `rdusedw`、`wrusedw`、`empty` 等指示信号。
- 2) 输入数据 `data_in` 和 `data_in_vld` 都是在属于 `clk_in` 时钟域的,模块首先将数据写到内部 FIFO 中,等待被模块 B 读取。
- 3) 如果内部 FIFO 快满时(`wrusedw`≥61)时,仍然有数据要写入,为了防止 FIFO 溢出,丢弃该数据,不再写入 FIFO。
- 4) `data_out`、`data_out_vld` 和 `b_rdy` 都是属于 `clk_out` 时钟域的。
- 5) `b_rdy` 是模块 B 产生的接收数据准备好信号,当此信号为 1 时,表示模

块 B 已经准备好接好数据，本模块可以将数据发给模块 B。如果为 0，表示未准备好，不能将数据送过来。

6) 当 b\_rdy 为 1，且 FIFO 内有数据(rdepty==0)时，将数据送给模块 B

## 二、信号列表

信号名	I/O	位宽	说明
clk_in	I	1	写时钟
rst_n	I	1	复位信号
data_in	I	16	输入的数据
data_in_vld	I	1	输入的数据有效指示信号
clk_out	I	1	读时钟
data_out	O	16	输出的数据
data_out_vld	O	1	输出数据有效指示信号
b_rdy	I	1	模块 B 准备好接收数据的指示信号。当此信号为 1 时，表示模块 B 已经准备好接好数据，本模块可以将数据发给模块 B。

## 三、学习建议

- 按照功能要求，思考、设计出代码。
- 编写测试文件，对代码进行仿真。建议至少仿真如下几种情况：
  - 验证能否保存 61 个数据。将 b\_rdy 变为 0，连续写 61 个数据；将 b\_rdy 变为 1，连续读取数据，保证全部 61 个数据都正确，不多也不少。
  - 验证溢出后是否能正确工作。将 b\_rdy 变为 0，连续写 100 个数据；将 b\_rdy 变为 1，连续读取数据，保证至少 61 个数据正确（丢数据正常）。然后再写几个数据，再读取，确保正确。
- 学习配套的设计思路视频，找出自己思路的异同，选择较好的思路
- 按照最新的设计思路，再实现一次