

FIR IP 核设计调用与仿真

1、FIR IP 核简介

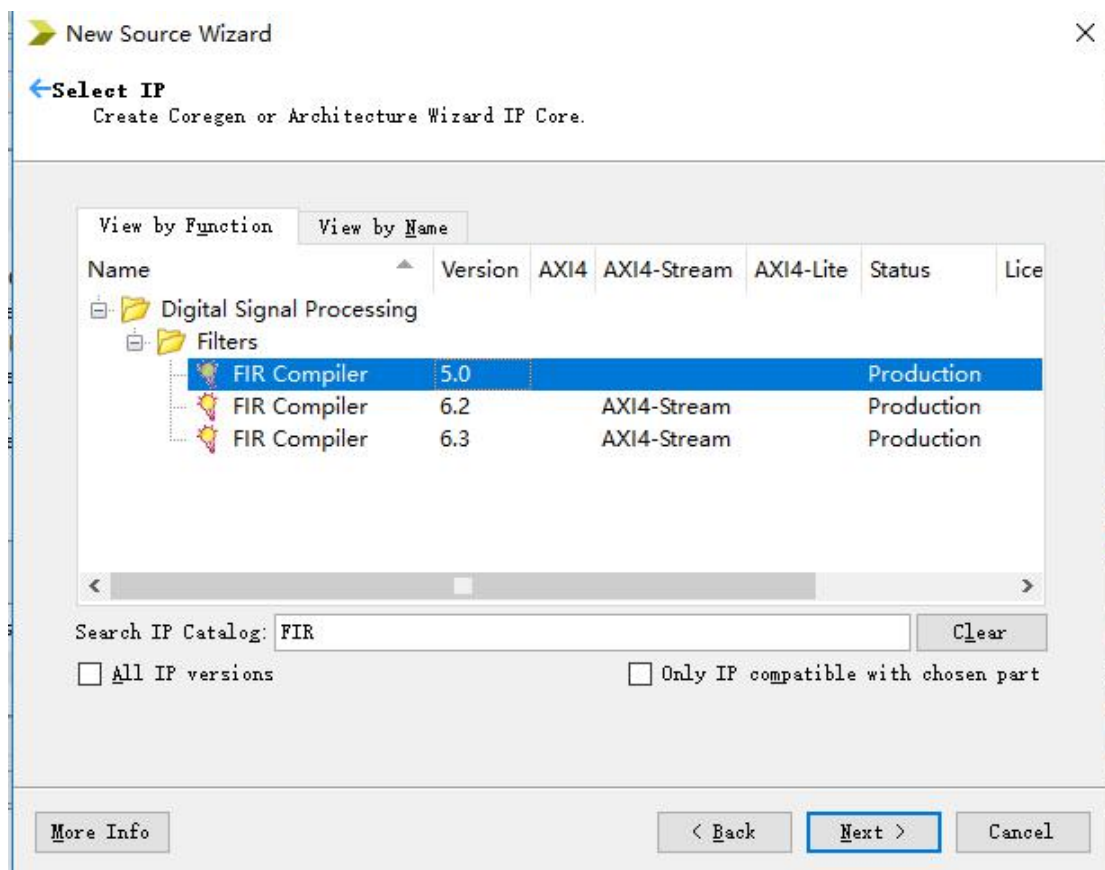
常用信号列表

信号名	I/O	说明
SCLR	I	同步复位信号，高电平有效，可选管脚
CLK	I	模块的工作时钟
CE	I	模块时钟使能信号
DIN	I	滤波器的输入数据
ND	I	新数据指示信号，高电平有效，只有 ND 为高时，数据 DIN 才送入 FIR 计算
FILT_SEL	I	多通道模式时片选滤波器
COEF_LD	I	加载系数指示信号，表明开始更新一组新的滤波器系数
COEF_WE	I	系数加载有效指示信号
DOUT	I	滤波器的输出数据
RDY	I	滤波器输出数据有效指示信号，高电平有效
RFD	O	新数据输入准备就绪信号，为高电平时允许新数据输入，为低电平时即使 ND 信号为高，也不允许数据输入
CHAN_IN	O	指示当前输入数据的通道号
CHAN_OUT	O	指示当前输出数据的通道号

具体信号定义参考 “dfir_compiler_ds534” page 5-6。

2、FIR IP 核设置界面参数介绍

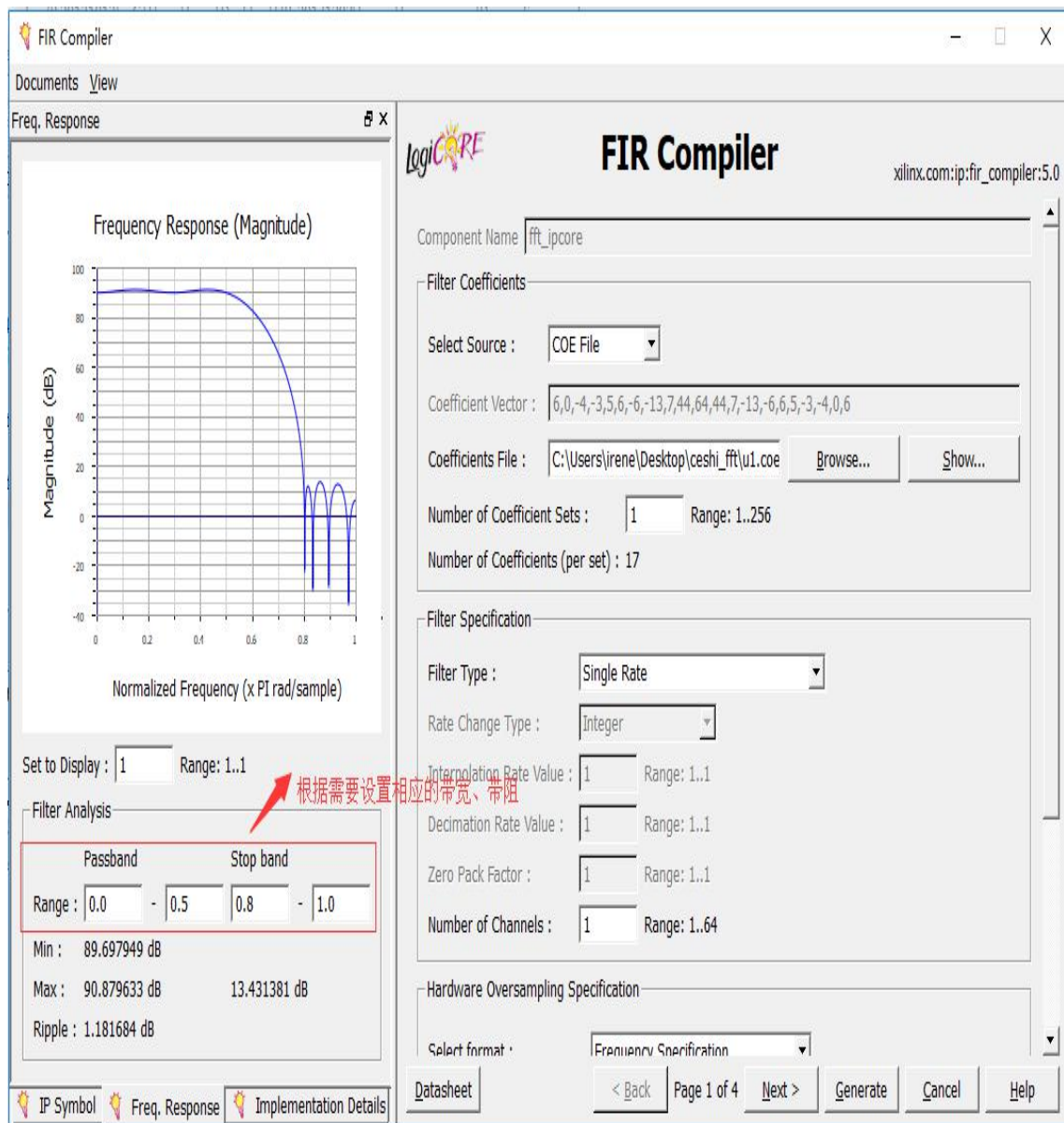
下面通过例化调用 FIR IP 核来实现一个最简单的单速率 FIR 滤波器，采用 16bit 数据输入、全精度输出、采样频率与时钟频率均为 20M，通带为 5M，阻带为 8M，采用注册输出方式，即 dout 可以不间断连续输出。



根据实际需要选择对应的类型，这里选择的是 FIR Compiler 5.0，点击“Next”进入 IP 核设置界面。

第 1 页：

要特别注意 passband 与 stopband 的设置参数，要根据从 matlab 设置的 FIR 滤波器参数制定，这里设置的采样率是 20M，通带为 5M，阻带为 8M，因此，passband 为 0-0.5，stopband 为 0.8 到 1。



FIR Compiler

Documents View

Freq. Response

Frequency Response (Magnitude)

Magnitude (dB)

Normalized Frequency (x PI rad/sample)

Set to Display : 1 Range: 1..1

Filter Analysis

Passband		Stop band	
Range :	0.0 - 0.5	0.8 - 1.0	
Min :	89.697949 dB		
Max :	90.879633 dB	13.431381 dB	
Ripple :	1.181684 dB		

IP Symbol Freq. Response Implementation Details

LogiCORE

FIR Compiler

xilinx.com:ip:fir_compiler:5.0

Component Name : fft_ipcore

Filter Coefficients

Select Source : COE File

选择COE FILE

Coefficient Vector : 6,0,-4,-3,5,6,-6,-13,7,44,64,44,7,-13,-6,6,5,-3,-4,0,6

Coefficients File : C:\Users\irene\Desktop\ceshi_fft\u1.coe

Browse...

Show...

Number of Coefficient Sets : 1 Range: 1..256

Number of Coefficients (per set) : 17

选择从MATLAB生成的抽头系数COE文件

Filter Specification

Filter Type : Single Rate

单速率就是输入采样率=输出采样率，最简单的滤波器

Rate Change Type : Integer

Interpolation Rate Value : 1 Range: 1..1

Decimation Rate Value : 1 Range: 1..1

Zero Pack Factor : 1 Range: 1..1

Number of Channels : 1 Range: 1..64

Hardware Oversampling Specification

Select format : Frequency Specification

根据需求设置采样率与时钟频率

Input Sampling Frequency : 20 Range: 0.000001..300.0 MHz

Clock Frequency : 20 Range: 20.0..300.0 MHz

Datasheet

< Back

Page 1 of 4

Next >

Generate

Cancel

Help

第 2 页:

FIR Compiler

Documents View

Freq. Response

Frequency Response (Magnitude)

Set to Display : 1 Range: 1..1

Filter Analysis

Passband		Stop band	
Range :	0.0 - 0.5	0.8 - 1.0	
Min :	89.697949 dB		
Max :	90.879633 dB	13.431381 dB	
Ripple :	1.181684 dB		

LogiCORE

FIR Compiler

xilinx.com

Filter Architecture : Systolic Multiply Accumulate → 收缩乘法累加

Coefficient Options

☐ Use Reloadable Coefficients

Coefficient Structure : Symmetric → 选择对称系数结构，这点可以由导入的COE文件默认直接推导出，或者直接指定

Coefficient Type : Signed → 系数类型一般为有符号类型

Quantization : Integer Coefficients

Coefficient Width : 16 Range: 2..35

☐ Best Precision Fraction Length

Coefficient Fractional Bits : 0 Range: 0..0

Datapath Options

Number of Paths : 1 Range: 1..16

Input Data Type : Signed → 输入数据类型，一般时有符号数

Input Data Width : 16 Range: 2..34

Input Data Fractional Bits : 0 Range: 0..16

Output Rounding Mode : Full Precision → 输出数据取整模型，一般取全精度

Output Width : 32 Range: 1..32

Output Fractional Bits : 0

☐ Allow Rounding Approximation

☒ Registered Output

Datasheet

< Back Page 2 of 4 Next > Generate Cancel

注意 “**Registered Output**”：滤波器输出总线可以被注册或注销，当选择为寄存器输出时，滤波器的输出 dout 能在 RDY 的间断有效之间也保持连续的输出，如果选择非注册模式，只有 RDY 有效是，dout 才会有效。

Datapath Options

Number of Paths : Range: 1..16

Input Data Type :

Input Data Width : Range: 2..34

Input Data Fractional Bits : Range: 0..16

Output Rounding Mode :

Output Width : Range: 1..32

Output Fractional Bits :

☐ Allow Rounding Approximation

☒ Registered Output

注册与非注册输出

第 3 页:

FIR Compiler

Documents View

Freq. Response

Frequency Response (Magnitude)

Magnitude (dB)

Normalized Frequency (x PI rad/sample)

Set to Display : 1 Range: 1..1

Filter Analysis

Passband	Stop band
Range : 0.0 - 0.5	0.8 - 1.0
Min : 89.697949 dB	
Max : 90.879633 dB	13.431381 dB
Ripple : 1.181684 dB	

IP Symbol Freq. Response Implementation Details

LogiCORE

FIR Compiler

xilinx.com:ip:fir_compiler:5.0

Optimization Goal: Area

推荐使用Area，可以达到设计的最佳速度和面积

Control Options

☐ SCLR

☐ Use deterministic SCLR behaviour
☐ DATA_VALID

☐ ND

可自由选择的信号
SCLR：异步复位信号；
ND：新数据指示信号；
CE：模块时钟使能信号

☐ CE

CHAN_IN Options

☐ Generate CHAN_IN value in advance
 Number of samples: 0 Range: 0..0

Memory Options

Data Buffer Type : Automatic
 Coefficient Buffer Type : Automatic
 Input Buffer Type : Automatic
 Output Buffer Type : Automatic
 Preference for other storage : Automatic

DSP Slice Column Options

Multi-Column Support : Disabled

Datasheet

< Back

Page 3 of 4

Next >

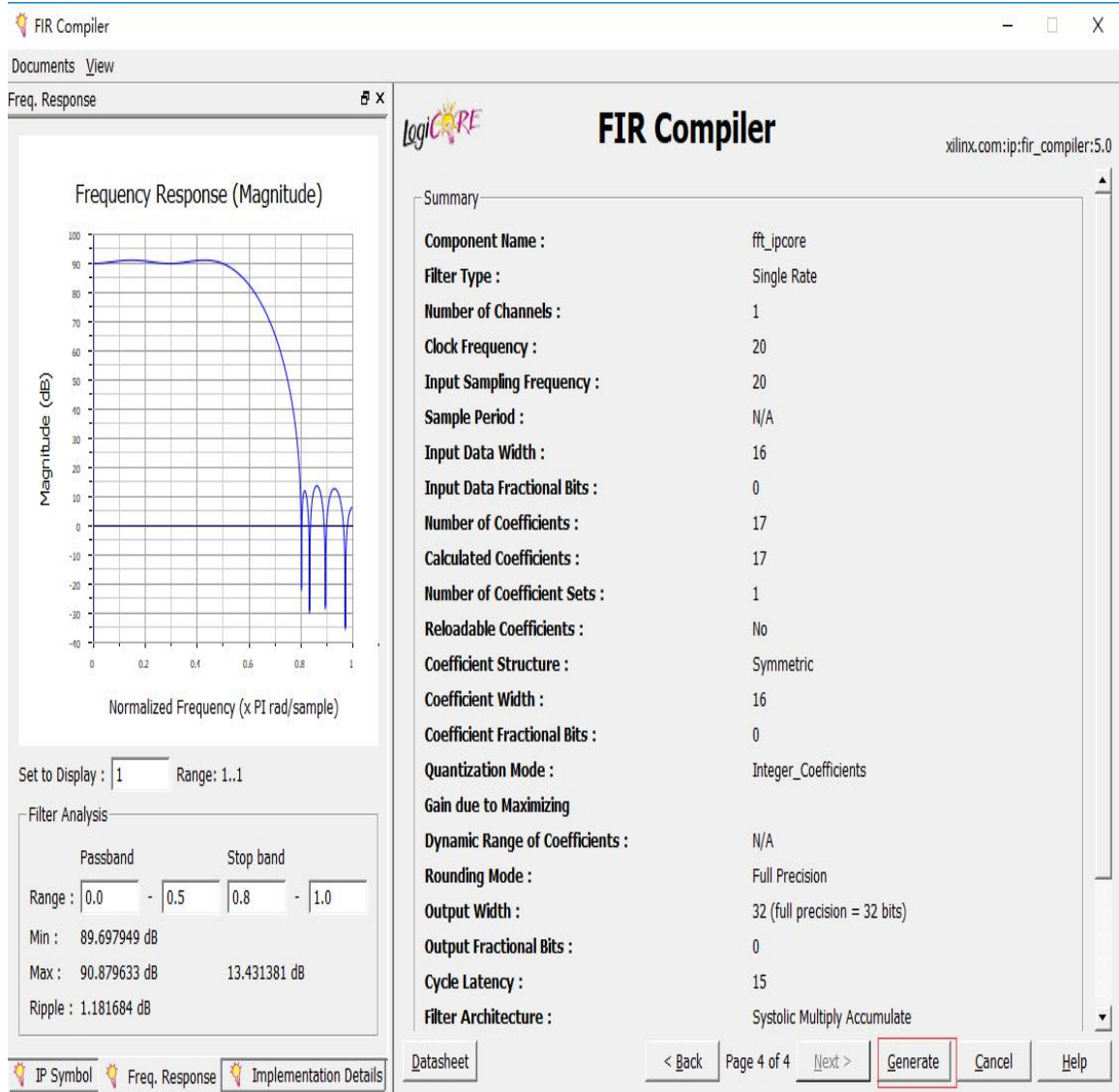
Generate

Cancel

Help

保持默认设置值即可

第 4 页:



注意 Cycle Latency: 输出延迟时间，这里输入数据到输出数据延时时间为 15 个时钟周期，具体参考 “dfir_compiler_ds534” page 58–59。

Dynamic Range of Coefficients :	N/A
Rounding Mode :	Full Precision
Output Width :	32 (full precision = 32 bits)
Output Fractional Bits :	0
Cycle Latency :	15
Filter Architecture :	Systolic Multiply Accumulate

输出延时时间

至此，点击 generate，ip 核设置完毕。

3、FIR IP 核仿真

