



明德扬
科技·教育

点拨 · FPGA之 组合逻辑补全条件



点透学习误区 拨出设计精髓

主讲：潘文明

明德扬科教



QQ群: 97925396

官 网: <http://www.mdy-edu.com>

淘 宝: <http://mdy-edu.taobao.com>

课程概要

一.always组合逻辑的结构及设计

二. 组合逻辑常见的错误

三. 锁存器的概述

四.课程总结

always组合逻辑的结构及设计

常见always组合逻辑的结构:

```
always@(*) begin
    if(a==1'b1)begin
        b= 1'b0;
    end
    else begin
        b=1'b1;
    end
end
```

```
always@(*) begin
    case(a)
        1'b0    : b=1'b1;
        1'b1    : b=1'b0;
        default : b=1'b0;
    endcase
end
```

组合逻辑常见的错误

组合逻辑常见的错误：

```
always@(*)begin
    if(en_an==1)begin
        n_dout=4'd1;
    end
    else begin
        case(dout)
            1 : n_dout=4'd2;
            2 : n_dout=4'd3;
            3 : n_dout=4'd4;
            4 : n_dout=4'd0;
        endcase
    end
end
```

```
always @(*)begin
    if(a==1)
        b = 0;
end
```

锁存器的概述

(1) 锁存器的组成特性：是有门逻辑资源搭建起来的电平敏感的存储器，由于电平触发，所以对时钟边沿不敏感；相比于寄存器，所需的门逻辑资源要少，常用于ASIC设计中。

(2) 设计缺点：

- 1) 属于非同步设计，不易于信号控制；
- 2) 没有边沿触发，输出的信号会有毛刺；
- 3) 使时序分析变得困难。

(3) 避免方法：补全if和case语句，避免条件缺失。

注意：仅要求组合逻辑！

锁存器的概述

组合逻辑常见错误的修正:

```

always@(*)begin
    if(en_an==1)begin
        n_dout=4'd1;
    end
    else begin
        case(dout)
            1 : n_dout=4'd2;
            2 : n_dout=4'd3;
            3 : n_dout=4'd4;
            4 : n_dout=4'd0;
        default: n_dout=4'd0;
        endcase
    end
end
end

```

```

always @(*) begin
    if (a==1)
        b = 0;
    end
end

```

明德扬科教



QQ群: 97925396

官 网: <http://www.mdy-edu.com>

淘 宝: <http://mdy-edu.taobao.com>



Thank You !

