

明德扬科技教育有限公司

官 网: www.mdy-edu.com

淘 宝: mdy-edu.taobao.com

QQ 群: 97925396

QQ 咨询: 158063679

一、verilog 快速掌握练习 1 答案

traffic.v

Quartus 运行之后会出现以下错误，每改完一句都要编译运行一下 问题要一个一个解决

1. Error (10170): Verilog HDL syntax error at traffic.v(27) near text "<="; expecting "="
第 27 行 应该把<=改为‘=’ 这里要注意，只有在时序结构里面才用‘<=’进行赋值。
2. Error (10170): Verilog HDL syntax error at traffic.v(57) near text "2"; expecting "end"
第 57 行 这里提示缺少一个 end 很明显 有 begin 没有 end
3. Error (10170): Verilog HDL syntax error at traffic.v(72) near text "default"; expecting "end"
第 72 行 这里也是缺少 end 所以编写程序时一定要弄清每个 end 和 begin 的对应关系
4. Error (10170): Verilog HDL syntax error at traffic.v(107) near text "countb"; expecting ";"
第 107 行 这里提示缺少“;” 看得出 LAMPB<=8 后面少;
5. Error (10158): Verilog HDL Module Declaration error at traffic.v(3): port "account" is not declared as port
第 3 行 意思是未声明这条线是输出啊 还是输入啊 根据代码的意思 account 和 bcount 应该是输出 所以应该定义为
Output [3:0] account;
Output [3:0]bcount;
6. Error (10161): Verilog HDL error at traffic.v(47): object "tempa" is not declared
第 47 行 这里意思是 tempa 没有声明（定义） 一般情况下 在 always 里产生的信号，都应该用 reg 进行声明
7. Error (10137): Verilog HDL Procedural Assignment error at traffic.v(54): object "counta" on left-hand side of assignment must have a variable data type
第 54 行 这里是说 counta 这个信号数据类型定义的不正确，我们知道，一般在 always 里的信号都用 reg 声明，所以把 wire 改为 reg，wire 数据类型一般用于 assign 指定的关键词符号，reg 用于 always 里面输出的信号