

Verilog 快速掌握新版

简介

Verilog HDL 作为一种硬件描述语言是我们在学习 FPGA 时所必须掌握的工具之一。虽然 Verilog HDL 的最大优点是易学易用，但是由于其语法较为自由，因此初学者在使用的过程中容易犯一些错误。

明德扬至简设计法由拥有多年 FPGA 代码编写经验的潘文明老师首创，不仅能让初学者在短时间内掌握 Verilog 语言，而且编写出的代码简洁无冗余、准确度高。我们将通过一系列案例，让您得到关于 Verilog 的高效点拨。

01 D 触发器及代码

本视频讲述了编写 FPGA 程序最重要的基础——D 触发器。很多同学觉得要把数字电路基础学完，才能学习 FPGA。实际上，很多知识是不需要用到的，我们只要清楚 D 触发器就足够了。大家通过学习本视频之后便可以开始着手写代码，无需再浪费大量的时间去学习理论知识，实践才能出真知！

02 FPGA 设计思维

什么是 FPGA 设计思维呢？本视频可以告诉你，教您区别、理解硬件思维和软件思维的不同，让你全方位掌握 FPGA 的设计思路。

03 我们的第一个设计

当你看到一个项目要求之后，如何设计呢？也许你自己感觉已经懂了，于是在模模糊糊的情况下就开始写代码，没有清晰步骤，最后需要反复打补丁才完成？

本视频通过一个简单的例子告诉你如何正确地设计，手把手教你设计的思路、过程。

04 我们的第一个设计思路

明德扬根据多年项目和培训经验，总结和制定了一套科学严谨的计数器规则。只要按照我们的“计数器架构八步法”，一步步考虑你的设计，就完全不存在无思路、无从下手的问题。本视频主要通过一个案例来阐述明德扬“计数器架构八步法”如何实现代码的全过程，即便您是 Verilog 初学者，也能快速掌握。

05 第一个设计语法总结

如今市面上有不少关于 Verilog 语法的书籍，但实际上我们常用的语法并不多，如果花费大量的时间和精力去钻研全部的语法，那么这显然是不明智的做法。本课程所介绍的语法，可以覆盖绝大部分的应用，而且完全不影响设计效率。我们视频通过总结一些基本的语法应用，让您掌握至简设计法的精髓，帮助您在以后的学习中打下坚实的基础。

06 我们的第二个设计——串口

本视频介绍的是串口的发送模块的练习要求，让您在实践中掌握至简设计法的精髓。

07 我们的第二个设计——串口思路

本视频通过基于至简设计法中的“计数器架构八步法”来讲解串口发送程序的编写思路。学员通过明德扬的系统培训，只要按照至简设计法的步骤来做，肯定可以一次性地设计出简洁清晰而且正确率高的代码。