



计数器架构八步法-阶段6串口  
-练习1-答案

主讲人：潘老师



**SiMPLE** DESIGN



## 项目要求

模块工作时钟为50M，每当收到din\_vld为1时，dout产生如下起始位到停止位的输出，其中波特率为9600（每比特长度为1/9600秒），奇偶位、D6~D0固定为11010110。





## 第一步：明确功能

信号列表		
信号名	I/O	位宽
clk	I	1
rest_n	I	1
din_vld	I	1
tx	O	1



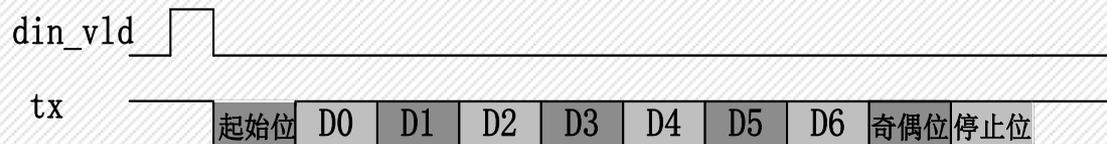
## 第一步：明确功能

模块工作时钟为50M，每当收到din\_vld为1时，dout产生如下起始位到停止位的输出，其中波特率为9600（每比特长度为1/9600秒），奇偶位、D6~D0固定为11010110。



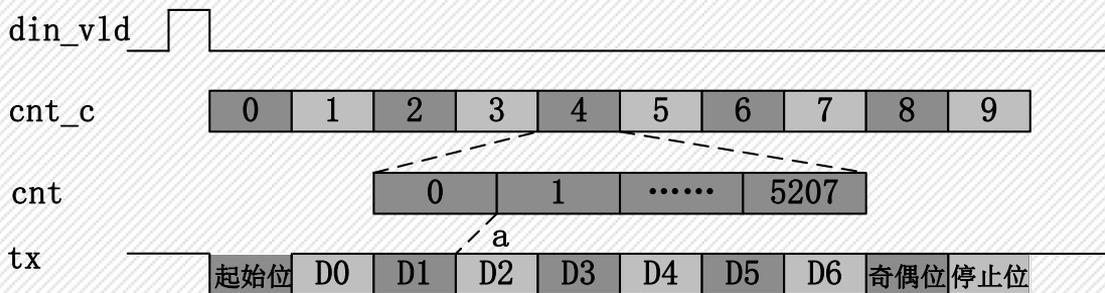
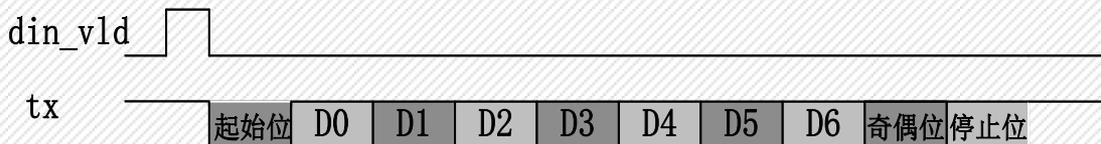


## 第二步：功能波形



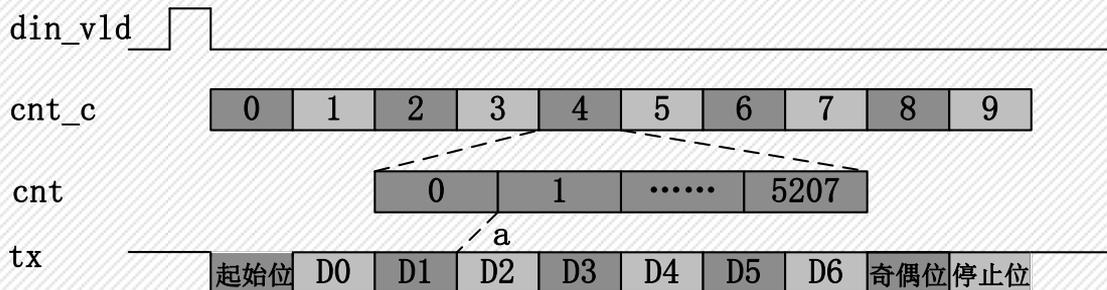


## 第三步：计数结构





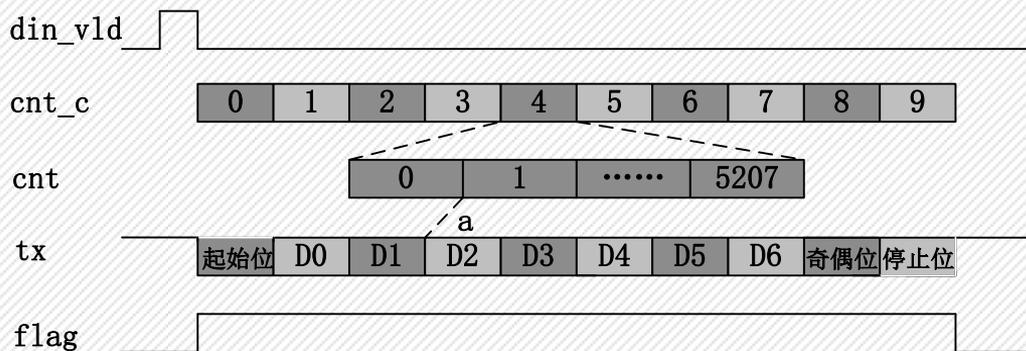
## 第四步：加一结束条件



计数器	加一条件	结束条件
cnt		
cnt_c		



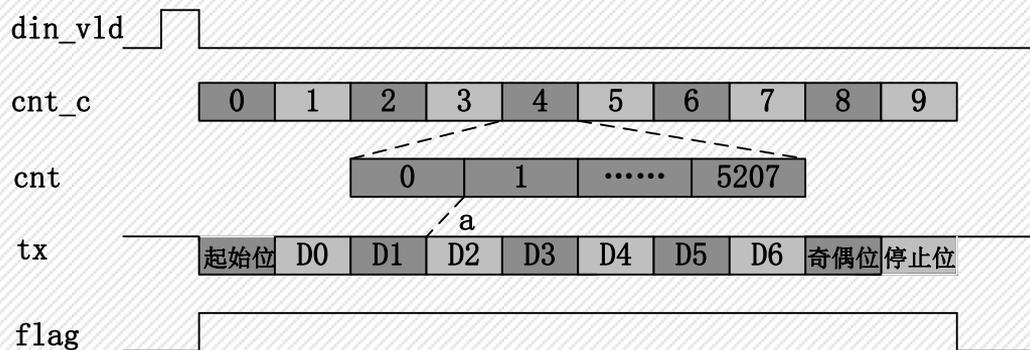
## 第四步：加一结束条件



计数器	加一条件	结束条件
cnt	flag==1	cnt==5208-1
cnt_c	cnt==5208-1	cnt_c==10-1



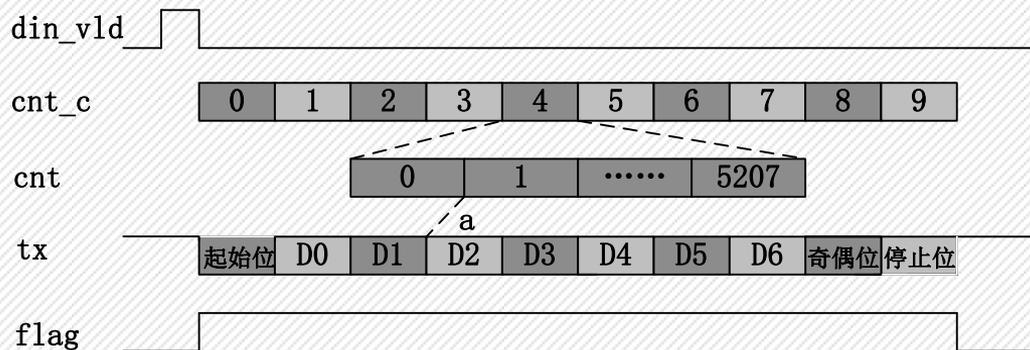
## 第五步：定义特殊点



信号名	特殊点
flag变高	din_vld==1
flag变低; cnt_c结束点	end_cnt_c
tx变化点	add_cnt&&cnt==0
cnt_c加1点; cnt结束点	end_cnt



## 第六步：完整性检查



其它信号	初值	变化点
<code>tx</code>	1	<code>add_cnt&amp;&amp;cnt==0</code> : <code>tx</code> $\rightarrow$ <code>data[cnt_c]</code>
<code>flag</code>	0	<code>0</code> $\rightarrow$ <code>1</code> : <code>din_vld==1</code> <code>1</code> $\rightarrow$ <code>0</code> : <code>end_cnt_c</code>



## 第七步：计数器代码

计数器	加一条件	结束条件
cnt	flag==1	cnt==5208-1
cnt_c	cnt==5208-1	cnt_c==10-1

```
1 always @(posedge clk or negedge rst_n)begin
2     if(rst_n==1'b0)begin
3         cnt <= 0;
4     end
5     else if(add_cnt)begin
6         if(end_cnt) begin
7             cnt <= 0;
8         end
9         else begin
10            cnt <= cnt+1;
11        end
12    end
13 end
14 assign add_cnt = flag==1;
15 assign end_cnt = add_cnt&&cnt==5208-1;
```

```
1 always @(posedge clk or negedge rst_n)begin
2     if(rst_n==1'b0)begin
3         cnt_c <= 0;
4     end
5     else if(add_cnt_c)begin
6         if(end_cnt_c)begin
7             cnt_c <= 0;
8         end
9         else begin
10            cnt_c <= cnt_c+1;
11        end
12    end
13 end
14 assign add_cnt_c = end_cnt;
15 assign end_cnt_c = add_cnt_c&&cnt_c==10-1;
```



## 第八步：功能代码

其它信号	初值	变化点
tx	0	add_flag==1&&cnt==0: tx →data[cnt_c];
flag	0	0→1: din_vld==1;      1→0: end_cnt_c;

```
1 always @(posedge clk or negedge rst_n)begin
2     if(rst_n==1'b0)begin
3         tx <= 1;
4     end
5     else if(cnt==0 && add_cnt)begin
6         tx <= data[cnt_c];
7     end
8 end
9 assign data = {stop,din,start};
10 assign stop = 1'b1;
11 assign start = 1'b0;
12 assign din = 8'b11010110;
```

```
1 always @(posedge clk or negedge rst_n)begin
2     if(rst_n==1'b0)begin
3         flag <= 0;
4     end
5     else if(din_vld==1)begin
6         flag <= 1;
7     end
8     else if(end_cnt_c)begin
9         flag <= 0;
10    end
11 end
```

3

课程小结



## 课程小结

---

tx取值的点，要巧妙地在第0点变化，否则就要打补丁。

---

# THANKS

