第一个设计语法总结

主讲人：潘老师

MDY SIMPLE DESIGN

说明

1. 准备一本verilog语法书，越薄越好，不是拿来学习，只是用来查阅。
2. 本课程未介绍的语法，建议用到时才去查阅。
3. 本课程介绍的语法，可以覆盖绝大部分应用，而且完全不影响设计效率。事实上，华为的代码也是这么简单。
4. 重要的是设计步骤：至简设计法。学习就是不断提高运用这套方法的能力。
5. 掌握至简设计法，你将无往不利。

assign

assign可以认为是对信号定义或者命名

1’b0

1’b0：1根线，二进制表示值为0。

3’b110：3根线，二进制表示值为110。

5’d10：5根线，十进制表示值为10。

8’ha2：8根线，十六进制表示值为a2。

wire和reg

1. wire和reg都是定义信号，没有其他意思（寄存器或者线）
2. 本模块内，用always里设计的信号都用reg；其他如assign、例化模块输出的信号用wire。

位选

reg[2:0] a; //表示a有三根线

a[0]表示第0根线，a[1]表示第1根线,a[2]表示第2根线。

data[cnt]<=0

data[cnt] <= 0;

将0赋给data中第cnt跟线。

data<=din[cnt]

data <= din[cnt];

将din第cnt根线的值，赋给data

data<={data[2:0],data[3]}

reg [3:0] data;

data <= {data[2:0],data[3]}

等价于：

data[3:0] <= {data[2:0],data[3]}

等价于(以下同时赋值)：

data[0] <= data[3];

data[1] <= data[0];

data[2] <= data[1];

data[3] <= data[2];

例如：现在值为4’b1011，赋值后为4’b0111，再之后是4’b1110。

加减乘除

+（加）,-（减）,*（乘）,/（除）

1. 直接使用
2. 除法和求余少用

比较符

>=（大于等于）,>（大于）, <（小于） ,<=（小于等于）,==（等于）

1. 直接使用，结果为逻辑真或假
2. 明德扬规范，只使用：==，>=和<

赋值符

<=,=

1. 时序逻辑用<=，组合逻辑用=
2. 没有其他了

并且和或者

||（或者）,&&(并且)

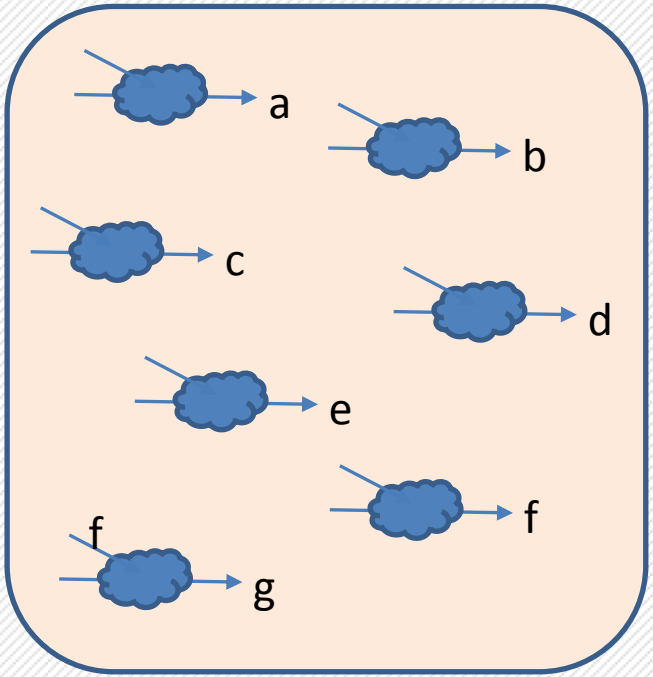
1. 按字面去理解

左移和右移

1. <<（右移）,>>（左移）
2. 左移，低位补零
3. 右移，高位补零
4. 左移，其实就是乘法. a = b<<2 等价于 a = b*4。
5. 右移，其实就是除法。a=b>>2，等价于a = b/4。

例化

例化：电视里安装一/两个喇叭，并连好线。




```
module uart(
            clk,
            rst_n,
            vld_in,
            data_in,
            uart_out,
            uart_in,
            vld_out,
            data_out,
            rdy_in
);

parameter DATA_W = 8;
```

```
uart#(.DATA_W(16))   u_uart(
      .clk      (clk_100m       ),
      .rst_n    (sys_rst_n      ),
      .vld_in   (bt_data_out_vld),
      .data_in  (bt_data_out    ),
      .uart_out(uart_tx         ),
      .uart_in  (uart_rx        ),
      .vld_out  (uart_data_out_vld),
      .data_out(uart_data_out   ),
      .rdy_in   (uart_in_rdy    )
);
```

THANKS