

明德扬科技教育有限公司

verilog 快速掌握练习 5

官 网: www.mdy-edu.com

淘 宝: mdy-edu.taobao.com

QQ 群: 97925396

QQ 咨询: 158063679

看电路写代码

输入信号: clk, rst_n, in0[7:0], in1[7:0], in2[7:0]

输出信号: out0[7:0], out1[7:0]

注意: 其中复位信号 rst_n 为低电平有效, 且为异步复位。

要求: 看电路图编写 module, 建立 quartus 工程后, 编译整个工程, 查看 RTL 电路图 (quartus --- tools --- Netlist viewers --- RTL viewer), 生成的电路要与下面功能相似

