

明德扬科技教育有限公司

verilog 快速掌握之模块设计说明

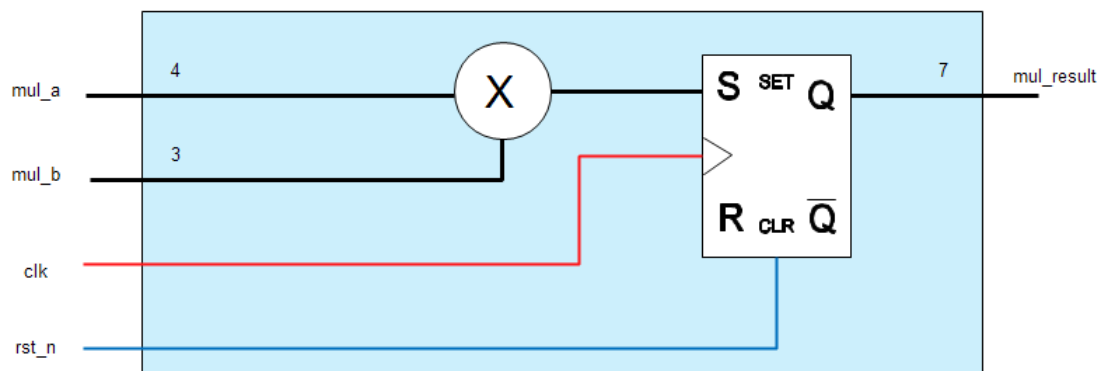
官 网: www.mdy-edu.com

淘 宝: mdy-edu.taobao.com

QQ 群: 97925396

QQ 咨询: 158063679

一、练习要求说明



按照上述电路，编写 module 文件：

1. 模块名为 `mul_module`
2. 参数化 `mul_a`、`mul_b` 和 `mul_result` 的位宽，其中 `mul_result` 的位宽为 `mul_a` 和 `mul_b` 的位宽之和。

二、要求

编写完成后，与答案对照。