



明德扬
科技·教育

点拨 · FPGA之 verilog快速掌握之模块例化

点透学习误区 拨出设计精髓

主讲：潘文明

明德扬科教



QQ群: 97925396

官 网: <http://www.mdy-edu.com>

淘 宝: <http://mdy-edu.taobao.com>

一、课程内容

1. 什么是例化
2. 例化方法
3. 参数例化

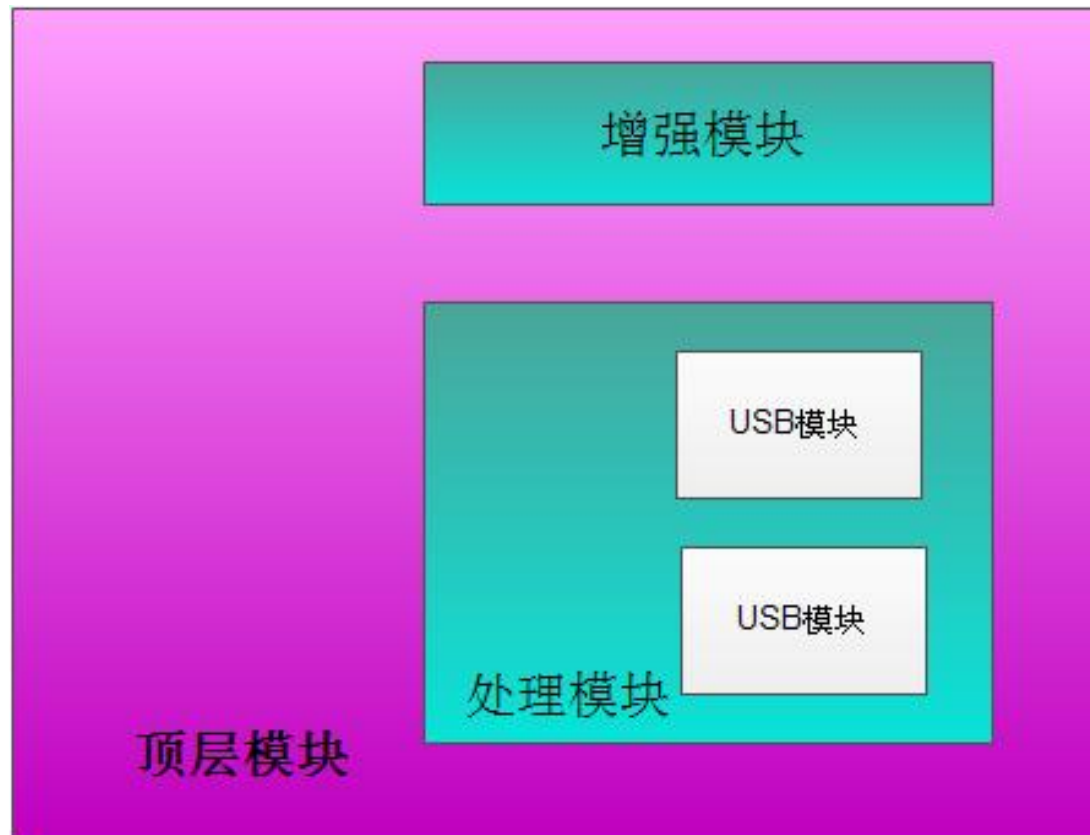
二、什么是例化



二、什么是例化



二、什么是例化



三、例化方法

设计模块

```
module uart(  
    clk,  
    rst_n,  
    vld_in,  
    data_in,  
    uart_out,  
    uart_in,  
    vld_out,  
    data_out,  
    rdy_in  
);
```

设计模块名

例化模块名

```
uart u_uart(  
    .clk      (clk_100m      ),  
    .rst_n    (sys_rst_n    ),  
    .vld_in   (bt_data_out_vld),  
    .data_in  (bt_data_out  ),  
    .uart_out (uart_tx      ),  
    .uart_in  (uart_rx      ),  
    .vld_out  (uart_data_out_vld),  
    .data_out (uart_data_out ),  
    .rdy_in   (uart_in_rdy  )  
);
```

设计模块的
信号

例化模块的
信号

四、参数例化

```
module uart(  
    clk,  
    rst_n,  
    vld_in,  
    data_in,  
    uart_out,  
    uart_in,  
    vld_out,  
    data_out,  
    rdy_in  
);  
  
parameter DATA_W = 8;
```

```
uart#(.DATA_W(16)) u_uart(  
    .clk      (clk_100m      ),  
    .rst_n    (sys_rst_n     ),  
    .vld_in   (bt_data_out_vld),  
    .data_in  (bt_data_out   ),  
    .uart_out (uart_tx       ),  
    .uart_in  (uart_rx       ),  
    .vld_out  (uart_data_out_vld),  
    .data_out (uart_data_out ),  
    .rdy_in   (uart_in_rdy   )  
);
```


五、课程总结

1. 本节课程我们学习了例化的定义、方法，以及参数的例化。
2. 后面的练习，将大量用到例化，请大家模仿这些例子进行设计。

明德扬科教



QQ群: 97925396

官 网: <http://www.mdy-edu.com>

淘 宝: <http://mdy-edu.taobao.com>



Thank You !

