

# 明德扬科技教育有限公司

## 至多 1 个乘法器延时的流水线练习说

### 明

官 网: [www.mdy-edu.com](http://www.mdy-edu.com)

淘 宝: [mdy-edu.taobao.com](http://mdy-edu.taobao.com)

QQ 群: 97925396

QQ 咨询: 158063679

## 流水线练习 3 说明

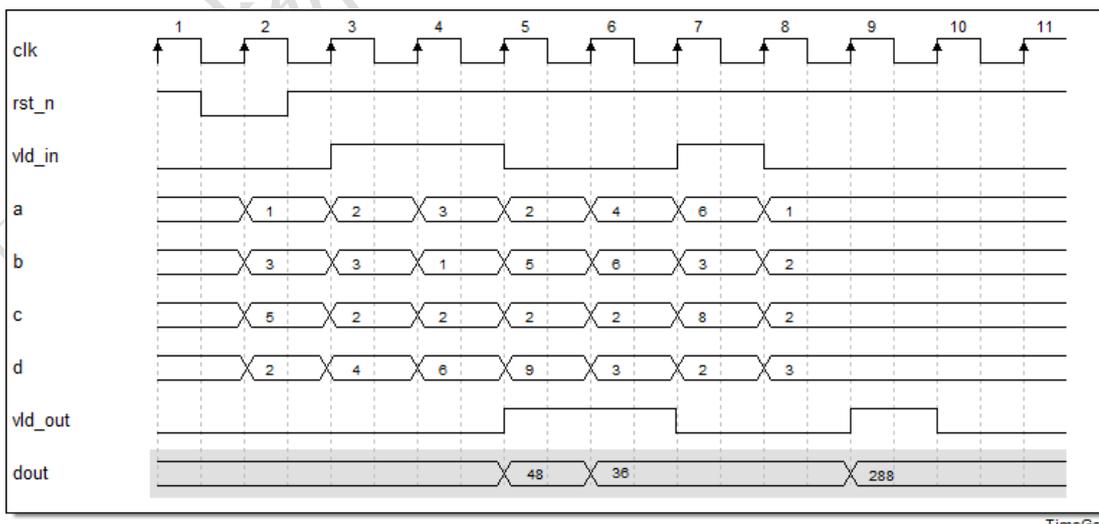
### 一、练习内容及要求

- 1、内容：以流水线的设计方法实现 4 输入的乘法器；
- 2、要求：寄存器之间仅包含一个乘法器（注：2 级流水线。每次输入有效（vld\_in=1）后的第 2 个时钟周期输出有效（vld\_out=1），并由 dout 输出结果）

### 二、信号列表

信号名	I/O	位宽	说明
clk	I	1	工作时钟
rst_n	I	1	复位信号
vld_in	I	1	abcd 输入数据有效表示信号, 同时亦表示要开始一次运算
a	I	4	输入数据 a
b	I	4	输入数据 b
c	I	4	输入数据 c
d	I	4	输入数据 d
dout	O	16	模块输出结果
vld_out	O	1	输出结果有效表示信号

波形图如下：



### 三、学习建议

- 1、按照功能要求，思考、设计出代码，用 modelsim 仿真，确认实现功能要求。
- 2、学习配套的设计思路视频，找出自己思路的异同，选择较好的思路
- 3、按照最新的设计思路，再实现一次
- 4、查看所写代码描述的电路是否符合要求

方法：编写代码，编译调试通过后，（quartus 中）点击 Tool>Netlist Viewers>RTL Viewers，查看电路是否符合要求，符合则此项通过；

明德扬点拨FPGA课程