

明德扬科技教育有限公司

异步时序练习 1 说明

官 网: www.mdy-edu.com

淘 宝: mdy-edu.taobao.com

QQ 群: 97925396

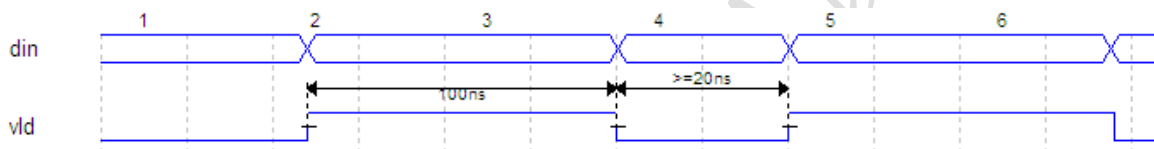
QQ 咨询: 158063679

一、练习内容及要求



如上图所示，模块 A 和模块 B 工作在不同的时钟域，其中模块 B 的工作时钟是 100MHz。

模块 A 发送信号 `din` 和 `vld_in` 两个信号，将数据发送给模块 B。当发送一个数据时，模块 A 将数据加载到总线上，并将 `vld_in=1`，维持 100ns 时间。100ns 后，模块 A 会将信号 `vld_in` 拉低最少 20ns，才发送下一个数据。



模块 B 接收到一个数据后，同过 `dout` 和 `vld_out` 信号，送给下游模块。

即用《异步时序和亚稳态》中的“对于少量，发送可控的数据流，建议通过增加指示信号的方法”接收数据。

二、信号列表

信号名	I/O	位宽	说明
<code>clk</code>	I	1	工作时钟，100MHz
<code>rst_n</code>	I	1	复位信号
<code>din</code>	I	16	输入的数据，异步信号。发送数据时，维持 100ns 不变。
<code>vld_in</code>	I	1	输入的数据有效指示信号，异步信号。发送数据时，维持 100ns 高电平。之后至少拉低 20ns，才发送下一个数据。
<code>dout</code>	O	16	输出的数据
<code>vld_out</code>	O	1	输出数据有效指示信号

三、 学习建议

- 1、 按照功能要求，思考、设计出代码。
- 2、 编写测试文件，对代码进行仿真。
- 3、 学习配套的设计思路视频，找出自己思路的异同，选择较好的思路
- 4、 按照最新的设计思路，再实现一次

明德扬点拔FPGA课程