



明德扬
科技·教育

异步时序之异步多比特数据传 输练习说明思路



点透学习误区 拨出设计精髓

主讲：潘文明



明德扬
科技·教育

QQ群： 97925396

官 网： <http://www.mdy-edu.com>

淘 宝： <http://mdy-edu.taobao.com>

课程大纲

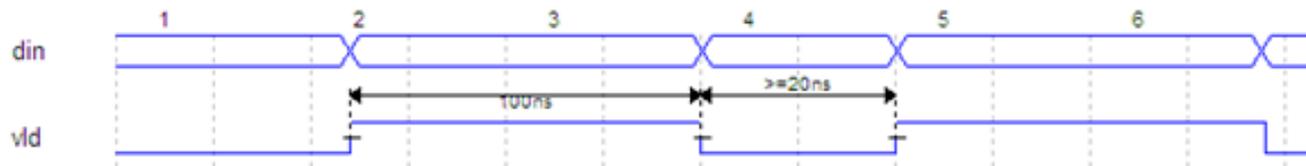
1. 功能要求
2. 设计思路
3. 代码设计

一、功能要求



如上图所示,模块 A 和模块 B 工作在不同的时钟域,其中模块 B 的工作时钟是 100MHz。

模块 A 发送信号 `din` 和 `vld_in` 两个信号,将数据发送给模块 B。当发送一个数据时,模块 A 将数据加载到总线上,并将 `vld_in=1`,维持 100ns 时间。100ns 后,模块 A 会将信号 `vld_in` 拉低最少 20ns,才发送下一个数据。



模块 B 接收到一个数据后,同过 `dout` 和 `vld_out` 信号,送给下游模块。

即用《异步时序和亚稳态》中的“对于少量,发送可控的数据流,建议通过增加指示信号的方法”接收数据。

一、功能要求

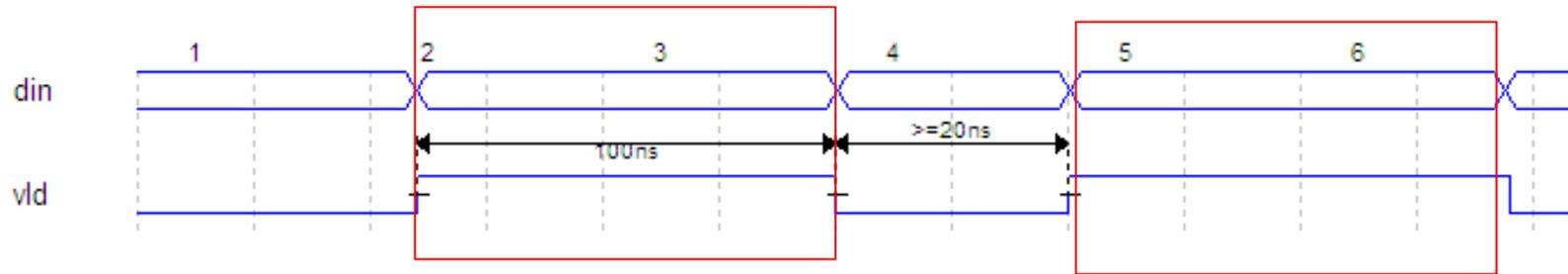
二、信号列表

信号名	I/O	位宽	说明
clk	I	1	工作时钟, 100MHz
rst_n	I	1	复位信号
din	I	16	输入的数据, 异步信号。发送数据时, 维持 100ns 不变。
vld_in	I	1	输入的数据有效指示信号, 异步信号。发送数据时, 维持 100ns 高电平。之后至少拉低 20ns, 才发送下一个数据。
dout	O	16	输出的数据
vld_out	O	1	输出数据有效指示信号

二、设计思路

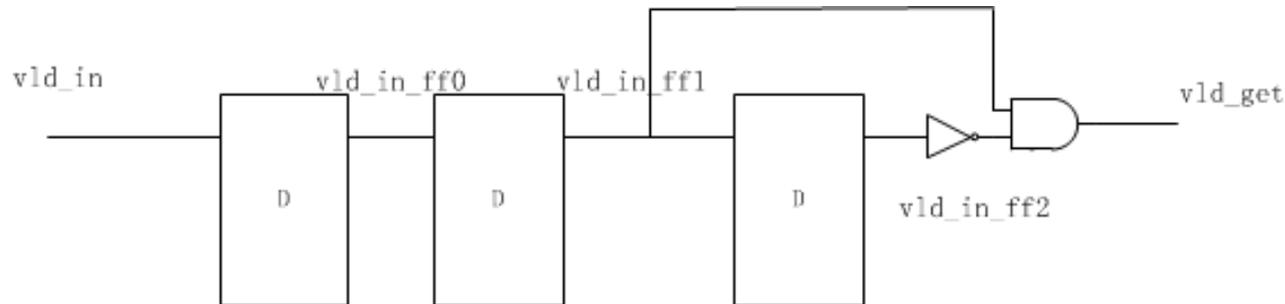
1. 设计时要从输出信号倒推，现有条件不能直接得到的信号，先假设信号再设计；
2. 一个一个信号设计，逐个击破

三、设计思路—总体



1. dout必定取自以上时间。
2. 有100ns长，取哪个时候？指示信号在哪？
3. vld是一个指示信号。有两个问题，a.异步的；b.太长了，只需要某一时钟
4. a.打两拍（毫不犹豫）；
5. b.取上升沿（100MHz，100ns=1，大约踩到9~10个；20ns=0，每次读能取到0），假设vld_get

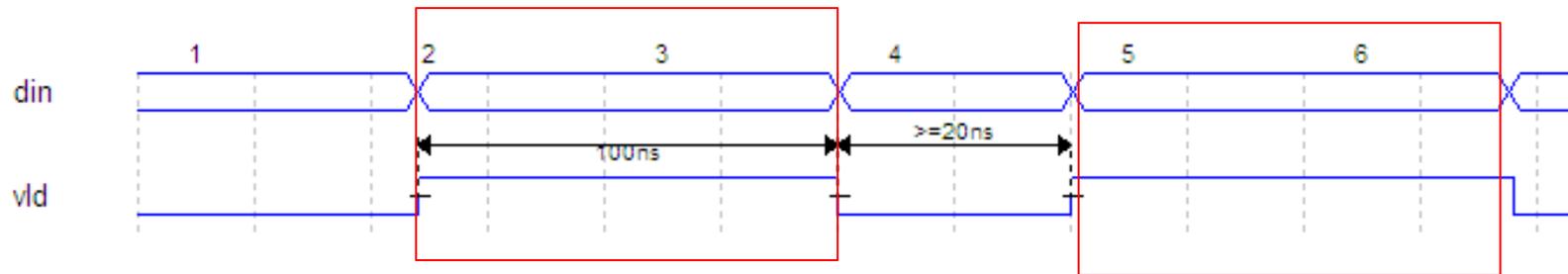
三、设计思路—vld_get



```
always @(posedge clk or negedge rst_n)begin
    if(rst_n==1'b0)begin
        vld_in_ff0 <= 1'b0;
        vld_in_ff1 <= 1'b0;
        vld_in_ff2 <= 1'b0;
    end
    else begin
        vld_in_ff0 <= vld_in;
        vld_in_ff1 <= vld_in_ff0;
        vld_in_ff2 <= vld_in_ff1;
    end
end
end

assign vld_get = (vld_in_ff1==1'b1 && vld_in_ff2==1'b0);
```

三、设计思路—dout



```
always @(posedge clk or negedge rst_n)begin
    if(rst_n==1'b0)begin
        dout <= 0;
    end
    else if(vld_get)begin
        dout <= din;
    end
end
```

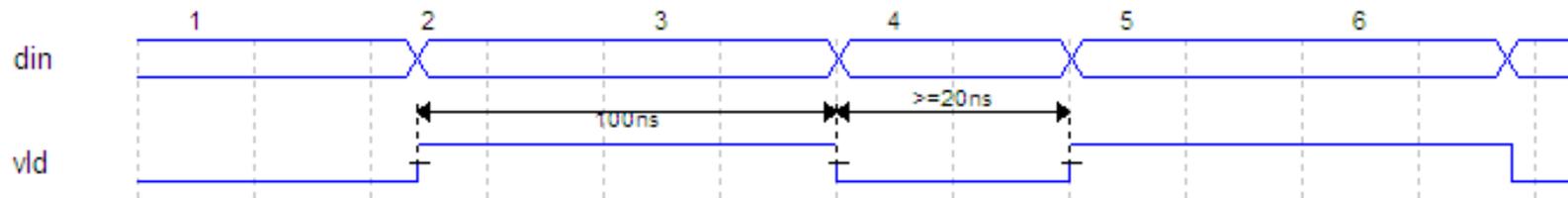
三、设计思路—vld_out

1. 数据有效了，vld_out就有效
2. 每接收一个数据，仅一拍有效

```
always @(posedge clk or negedge rst_n)begin
    if(rst_n==1'b0)begin
        vld_out <= 1'b0;
    end
    else begin
        vld_out <= vld_get;
    end
end
```

三、总结

1. 此方法有效的前提是：din在vld有效情况是不变的。如果不能保证，则有可能出现亚稳态
2. 100ns用于计算，当做异步处理后的时刻，din还处于稳定期间
3. 20ns用于确保每次获取数据之间，都有低电平的时候。





明德扬
科技 · 教育

QQ群： 97925396

官 网： <http://www.mdy-edu.com>

淘 宝： <http://mdy-edu.taobao.com>

Thank You !

