

明德扬科技教育有限公司

优化四个乘法器电路结构练习

官 网: www.mdy-edu.com

淘 宝: mdy-edu.taobao.com

QQ 群: 97925396

QQ 咨询: 158063679

目录

flow_2 模块	3
-----------------	---

明德扬点拔FPGA课程

明德扬科技公司主要是以 FPGA 为核心,专业从事 FPGA 配套视频开发板教程、FPGA 培训班或其他培训、研发 FPGA 技术开发、承接 FPGA 项目开发。欢迎咨询加入明德扬 FPGA 和 ASIC 交流群 97925396。

明德扬以 PDF 格式提供源代码,是为了鼓励大家多思考,不要拿来就用,否则是学不好 FPGA 的。

本代码对应的设计思路,请参考明德扬视频课程。

flow_2 模块

```
module flow_2(
    clk      ,
    rst_n    ,
    vld_in   ,
    a        ,
    b        ,
    c        ,
    d        ,
    vld_out,
    dout
);

//参数定义
parameter DATA_W = 8;

//输入信号定义
input      clk      ;
input      rst_n    ;
input      vld_in   ;
input[3:0] a        ;
input[3:0] b        ;
input[3:0] c        ;
input[3:0] d        ;

//输出信号定义
output[15:0] dout    ;
output      vld_out;
```

```
//输出信号 reg 定义
reg [15:0] dout ;
reg      vld_out;

//中间信号定义
reg [7:0] s1;
reg [7:0] s2;

//时序逻辑写法
always@(posedge clk or negedge rst_n)begin
    if(rst_n==1'b0)begin
        vld_out <= 1'b0;
    end
    else begin
        vld_out <= vld_in;
    end
end

always @(posedge clk or negedge rst_n)begin
    if(rst_n==1'b0)begin
        dout <= 16'b0;
    end
    else begin
        dout <= s1 * s2;
    end
end

always @(*)begin
    s1 = a * b;
end

always @(*)begin
    s2 = c * d;
end

endmodule
```