



明德扬  
科技·教育

# 点拨 · FPGA之 流水线练习1设计思路

点透学习误区 拨出设计精髓

主 讲：潘文明

# 明德扬科教



**QQ群: 97925396**

**官 网: <http://www.mdy-edu.com>**

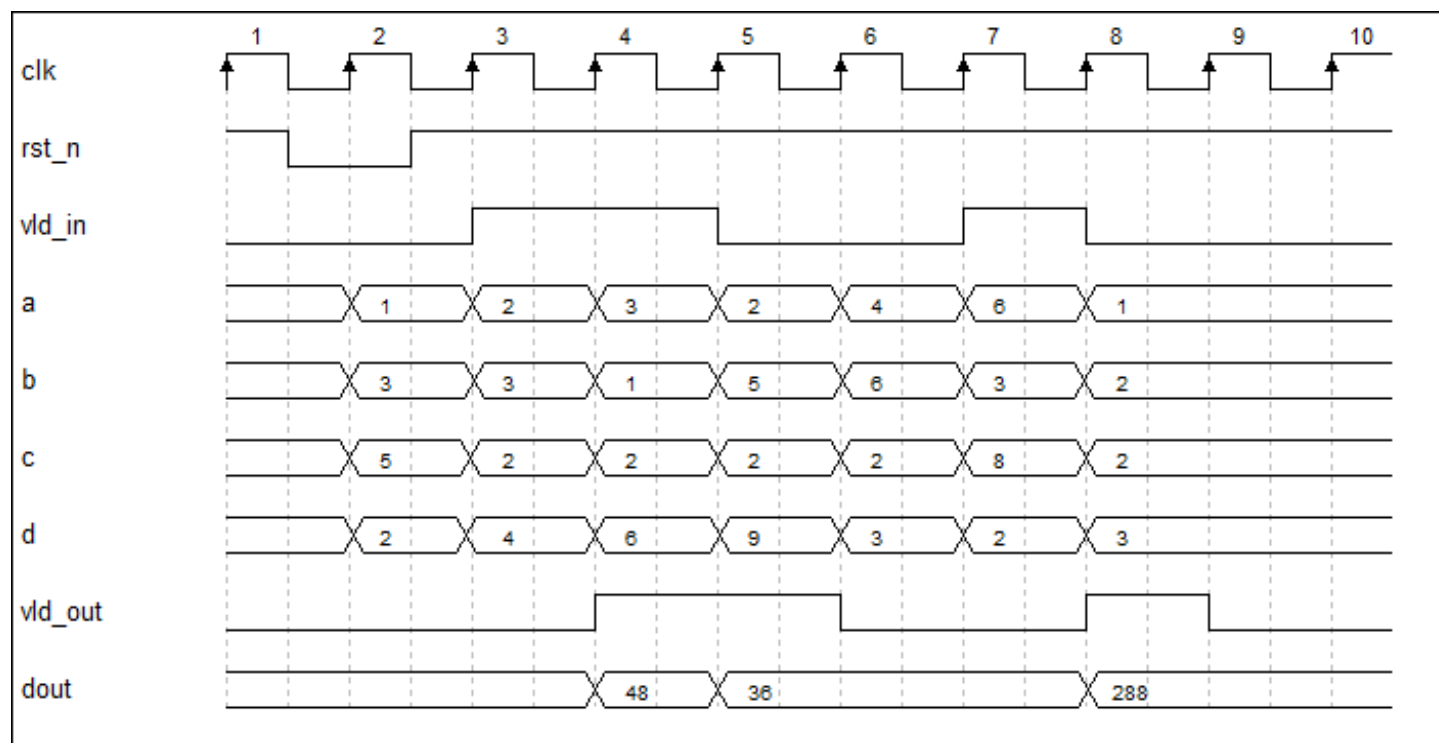
**淘 宝: <http://mdy-edu.taobao.com>**

# 课程大纲

1. 功能要求
2. 设计思路

# 一、功能要求

1. 实现一个四输入的乘法器，实现电路结构 $s=a*b*c*d$ ;
2. 可以连续计算（即每个时钟都可输入数据，运算的结果也能连续输出）；

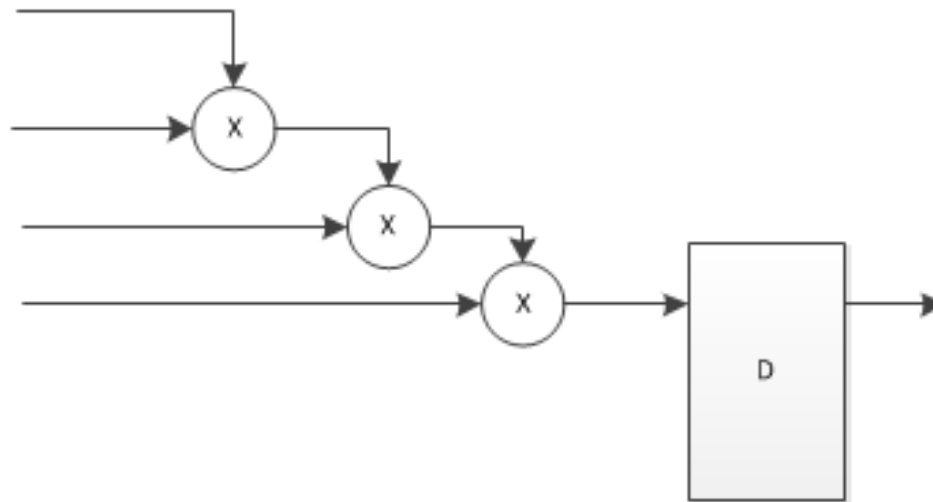


TimeGen

## 二、设计思路

1. 设计时要从输出信号倒推，现有条件不能直接得到的信号，先假设信号再设计；
2. 一个一个信号设计，逐个击破

### 三、设计思路



### 三、设计思路—vld\_out

1. 要求输入数据后一拍出结果
2. 因此vld\_out只跟输入有效指示信号有关

```
always @(posedge clk or negedge rst_n)begin
    if(rst_n==1'b0)begin
        vld_out <= 1'b0;
    end
    else begin
        vld_out <= vld_in;
    end
end
```

### 三、设计思路—dout

1. 实现一个四输入的乘法器，实现电路结构 $s=a*b*c*d$
2. 一拍出结果

```
always@(posedge clk or negedge rst_n)begin
    if(rst_n==1'b0)begin
        dout <= 0;
    end
    else begin
        dout <= a * b * c * d;
    end
end
```

# 明德扬科教



**QQ群: 97925396**

**官 网: <http://www.mdy-edu.com>**

**淘 宝: <http://mdy-edu.taobao.com>**



# Thank You !

