

DDS 信号发生器的实现

明德扬科技教育有限公司

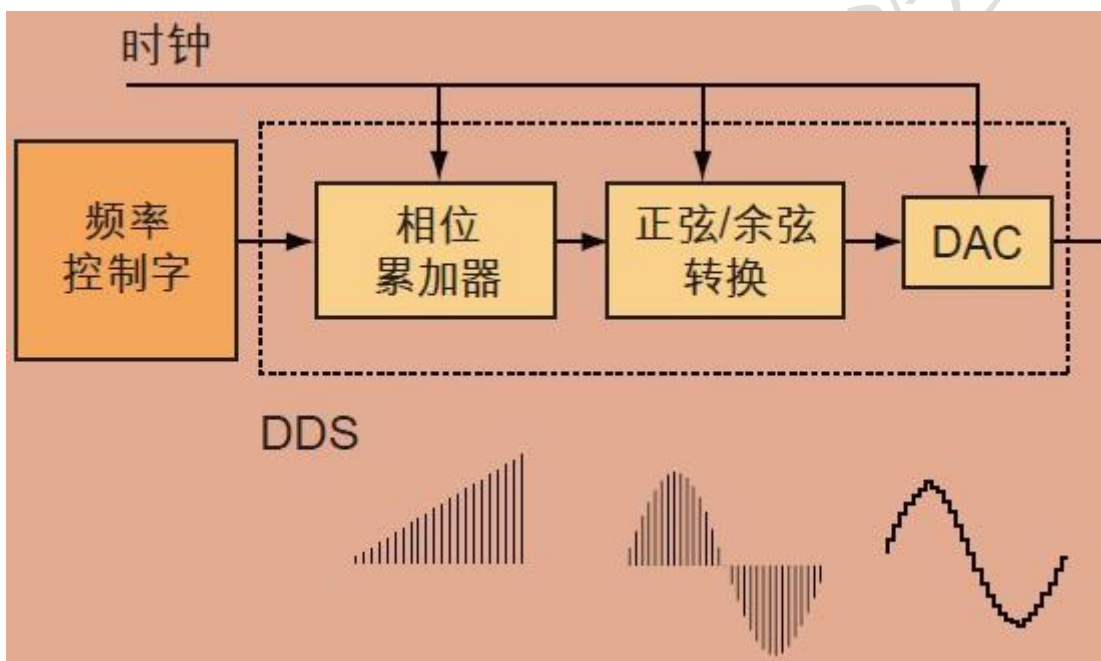
官 网： www.mdy-edu.com

淘 宝： mdy-edu.taobao.com

QQ 群： 97925396

一、功能描述

本工程实现 DDS 直接数字式频率合成器，利用正弦波相位线性增加的特点，产生正弦波和余弦波。本工程主要由 3 部分组成：相位累加器，相位幅度转换，数模转换器 DAC（FPGA 外部实现）。其中，相位累加器的高 10 比特用于 ROM 的索引地址。



二、波形调制说明

模块将一个正弦波采样 1024 个点，然后保存到内部一个 8 比特、1024 深度的 ROM 当中，通过改变时序和相位控制器，即可生成不同频率的波形。

生成波形的公式是：

$$FO = F_{CLK} * FCW / 65536$$

上面公式中， F_{CLK} 是指本模块工作时钟的周期， FCW 是相位控制字， FO 即是生成的信号频率。相位控制器 FCW 可以改变每次步进数 M 。

三、应用举例

设定是 $FCW=128$, $CLK=50M$ 的时钟频率, 由公式计算得出 $F0=100KHZ$ 。
实际测量出一个波形时间为 $10332000ps$, 最终波形的频率为 $100KHZ$ 。

如果是 $FCW=128$, $CLK=5M$ 的时钟频率, 由公式计算得出 $F0=1KHZ$ 。输出
实际测量一个波形时间为 $51898054ps$, 最终波形的频率为 $10KHZ$ 。

如果是 $FCW=128$, $CLK=100M$ 的时钟频率, 由公式计算得出 $F0=0.2MHZ$ 。
输出实际测量一个波形时间为 $5167188ps$, 最终波形的频率为 $0.2MHZ$ 。

以此类推, 通过对频率控制器的改变来控制波形频率。

三、平台效果图

四、实现过程

首先根据所需要的功能, 工程顶层的输入输出信号列表。

信号名	I/O	位宽	说明
clk	I	1	系统工作时钟 50M
rst_n	I	1	系统复位信号, 低电平有效
da_clk	O	1	输出 D/A 工作时钟
cos	O	8	输出 cos 波形信号
sin	O	8	输出 sin 波形信号

我们可以把工程划分成三个模块, 分别是 Sin 相位转波形模块和 Cos 相位转波形模块和相位累加器模块。

1. 相位累加器模块

本模块根据设置好的相位控制字 FCW 来进行相位累加, 以此控制波形的相位, $sum \leq sum + fcw$; 对相位不断累加, 然后将累加的 sum 数据实时传到另外两个模块中去

以此本模块实现了相位累加, 并将数据传输给其它模块的功能。

本模块信号列表如下：

信号名	I/O	位宽	说明
clk	I	1	相位累加时钟
rst_n	I	1	系统复位信号，低电平有效
fcw	I	16	相位控制字
sum	O	16	相位累加数据

2. Sin 相位转波形模块

本模块实际上是一个 RAM，事先将相位和相应相位上的幅值关系写入，然后通过从相位累加模块传来的相位累加数据 sum 进行查表，得到对应的幅值，以此当一个 sin 波的相位全部转换一遍后即可得到一个完整的 sin 波形。

信号列表如下：

信号名	I/O	位宽	说明
address	I	10	系统复位信号，低电平有效
clock	I	1	RAM 工作时钟
q	O	8	输出 sin 数据

3. Cos 相位转波形模块

本模块实际上是一个 RAM，事先将相位和相应相位上的幅值关系写入，然后通过从相位累加模块传来的相位累加数据 sum 进行查表，得到对应的幅值，以此当一个 cos 波的相位全部转换一遍后即可得到一个完整的 cos 波形。

信号列表如下：

信号名	I/O	位宽	说明
address	I	10	系统复位信号，低电平有效
clock	I	1	RAM 工作时钟
q	O	8	输出 cos 数据

明德扬至简设计法