

# 明德扬科技教育有限公司

## 参数化（统计个数）实现统计模块练习说明

官 网: [www.mdly-edu.com](http://www.mdly-edu.com)

淘 宝: [mdly-edu.taobao.com](http://mdly-edu.taobao.com)

QQ 群: 97925396

QQ 咨询: 158063679

## 一、功能简述

统计模块，对输入的信号进行统计，并输出统计值。统计值每四比特为一组，分别表示个、十、百、千等位，位数可通过 NUM 来指定。例如 NUM=1 时，表示统计值只有个位；当 NUM=2 时，表示统计值有个位和十位，依此类推。

模块不准用除法和求余。

## 二、信号列表

信号名	I/O	位宽	说明
clk	I	1	系统工作时钟 50MHz。
rst_n	I	1	系统复位信号，低电平有效。
din_vld	I	1	输入信号，当模块检测到此信号为 1 时，统计值加 1。
dout	O	4*NUM	统计值，当 dout_vld 有效时，此信号有效。每四比特为一组，分别表示个、十、百、千等位，位数根据根据 NUM 指定。 dout[3:0]表示个位 dout[7:4]表示十位，依此类推。
dout_vld	O	1	统计值输出有效指示信号。当统计值有变化时，就输出新的统计值。

## 三、外部参数列表

参数名	说明
NUM	统计值的位数，默认值为 3，即显示个、十、百位

## 四、学习建议

- 1、 为了实现参数化，可能用到的知识：generate，请先百度“verilog generate”相关资料进行学习，后续课程亦有讲解；
- 2、 按照练习要求，编写代码、仿真，可不需上板；
- 3、 必须测试及验证的点：NUM=1 和 NUM=8 的两种情况；
- 4、 学习配套的设计思路视频，找出自己思路的异同，选择较好的思路；
- 5、 按照最新的设计思路，再实现一次。