



明德扬
科技·教育

点拨 · FPGA之 数码管显示模块练习思路

点透学习误区 拨出设计精髓

主讲：潘文明

明德扬科教



QQ群: 97925396

官 网: <http://www.mdy-edu.com>

淘 宝: <http://mdy-edu.taobao.com>

一、功能要求

二、设计思路

1. 设计时要从输出信号倒推，现有条件不能直接得到的信号，先假设信号再设计；
2. 一个一个信号设计，逐个击破

三、设计思路—segment

1、数码管译码电路，设seg_tmp为要译的值

```
always@(posedge clk or negedge rst_n)begin
    if(rst_n==1'b0)begin
        segment<=NUM_0;
    end
    else if(seg_tmp==0)begin
        segment<=NUM_0;
    end
    else if(seg_tmp==1)begin
        segment<=NUM_1;
    end
    else if(seg_tmp==2)begin
        segment<=NUM_2;
    end
    else if(seg_tmp==3)begin
        segment<=NUM_3;
    end
    else if(seg_tmp==4)begin
        segment<=NUM_4;
    end
    else if(seg_tmp==5)begin
        segment<=NUM_5;
    end
    else if(seg_tmp==6)begin
        segment<=NUM_6;
    end
end
```

三、设计思路—seg_tmp

1. seg_tmp为要译的值
2. 从输入锁存的数据中轮流取数据，例如先取第0个，接着第1个，直到SEG_NUM-1个，设sel_cnt，表示取第sel_cnt个
3. 设din_ff0分锁存的数据，位宽为4*SEG_NUM比特

```
always @(*)begin
    seg_tmp = din_ff0[(sel_cnt+1)*4-1 -:4];
end
```

三、设计思路—din_ff0

1. 用于锁存输入的数值
2. 通过din_vld来表示输入的数值有效
3. 注意：din_vld共有SEG_NUM位，可以仅一个或多个同时为1

```
always @(posedge clk or negedge rst_n)begin
always @(posedge clk or negedge rst_n)begin
    if(rst_n==1'b0)begin
        din_ff0 <= 0;
    end
    else begin
        for(ii=0;ii<SEG_NUM;ii=ii+1)begin
            if(din_vld[ii]==1'b1)begin
                din_ff0[(ii+1)*4-1 -:4] <= din[(ii+1)*4-1 -:4];
            end
            else begin
                din_ff0[(ii+1)*4-1 -:4] <= din_ff0[(ii+1)*4-1 -:4];
            end
        end
    end
end
end
end
```

三、设计思路—sel_cnt

1. 用于指示轮流选择数据送到数据管上显示
2. 刷新时间20us，用flag_20us表示20us时间到
3. sel_cnt本质是计数器，起初值：0；加1条件：flag_20us；结束值：SEG_NUM-1

```
always @(posedge clk or negedge rst_n)begin
    if(rst_n==1'b0)begin
        sel_cnt <= 0;
    end
    else if(flag_20us) begin
        if(sel_cnt==SEG_NUM-1)
            sel_cnt <= 0;
        else
            sel_cnt <= sel_cnt + 1;
    end
end
```


三、设计思路—seg_sel

1. 用于指示轮流选择数据送到数据管上显示
2. 0:11110; 1:11101 ; 2:11011, 依此类推
3. sel_cnt表示选择哪个

```
always @(posedge clk or negedge rst_n)begin
    if(rst_n==1'b0)begin
        seg_sel <= {SEG_NUM{1'b1}};
    end
    else begin
        seg_sel <= ~(1'b1 << sel_cnt);
    end
end
```

明德扬科教



QQ群: 97925396

官 网: <http://www.mdy-edu.com>

淘 宝: <http://mdy-edu.taobao.com>



Thank You !