

明德扬科技教育有限公司

SDRAM 时序

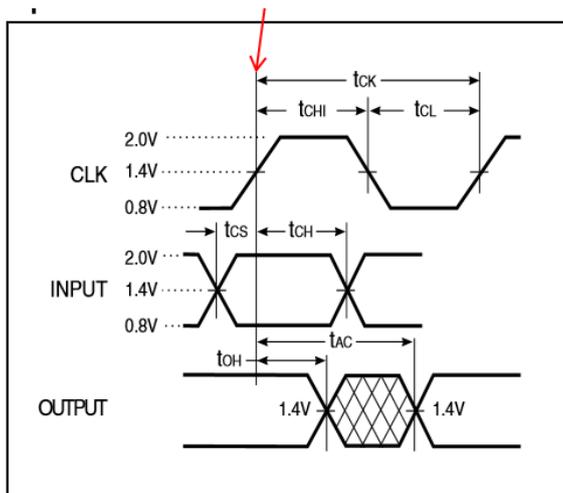
官 网: www.mdy-edu.com

淘 宝: mdy-edu.taobao.com

QQ 群: 97925396

QQ 咨询: 158063679

SDRAM 数据手册第 14 页有如一张时序要求图。



其时序参数分别如下：

Symbol	Parameter		-6		-7		-5		Units
			Min.	Max.	Min.	Max.	Min.	Max.	
tck3	Clock Cycle Time	CAS Latency = 3	6	—	7	—	5	—	ns
tck2		CAS Latency = 2	7.5	—	7.5	—	7.5	—	ns
tchI	CLK HIGH Level Width		2	—	2.5	—	2	—	ns
tcl	CLK LOW Level Width		2	—	2.5	—	2	—	ns
tcs	Command Setup Time (\overline{CS} , \overline{RAS} , \overline{CAS} , \overline{WE} , DQM)		1.5	—	2.0	—	1.5	—	ns
tch	Command Hold Time (\overline{CS} , \overline{RAS} , \overline{CAS} , \overline{WE} , DQM)		0.8	—	1	—	0.8	1	ns
tAC3	Access Time From CLK ^(4,6)	CAS Latency = 3	—	5	—	5.4	—	5	ns
tAC2		CAS Latency = 2	—	6	—	6	—	6	ns
toH3	Output Data Hold Time ⁽⁶⁾	CAS Latency = 3	2.5	—	2.7	—	2.5	—	ns
toH2		CAS Latency = 2	2.5	—	3	—	2.5	—	ns

分析：以-7 等级为例，逐个分析以上每个参数要求，分别要如何做才能得到满足呢？

(1) 时钟宽度要求

tck3	Clock Cycle Time	CAS Latency = 3	6	—	7	—	5	—	ns
tck2		CAS Latency = 2	7.5	—	7.5	—	7.5	—	ns

只要时钟周期不超过以上限制即可。由上述参数可知，当 $lantency=2$ 时，周期小是 7.5，也就是最大频率是 133.333M。当 $lantency=3$ 时，周期小是 7，也就是最大频率是 142M。同时也注意到，没有最小时钟频率要求。

(2) 时钟高电平和低电平宽度

tch	CLK HIGH Level Width		2	—	2.5	—	2	—	ns
tcl	CLK LOW Level Width		2	—	2.5	—	2	—	ns

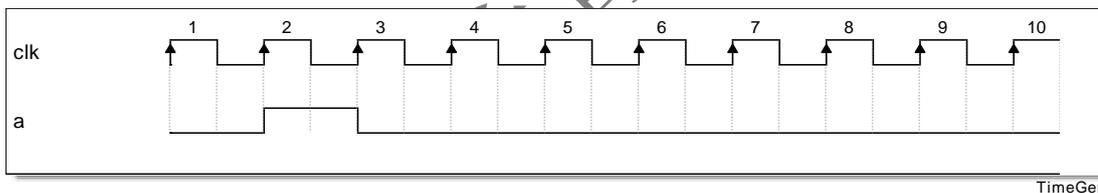
这两个参数可以通过调整时钟占空比来实现。如果是 140M 时钟，周期是 7.14ns，则 50% 的占空比都能满足要求。

(3) 命令建立时间和保持时间要求

tcs	Command Setup Time (CS, RAS, CAS, WE, DQM)		1.5	—	2.0	—	1.5	—	ns
tch	Command Hold Time (CS, RAS, CAS, WE, DQM)		0.8	—	1	—	0.8	1	ns

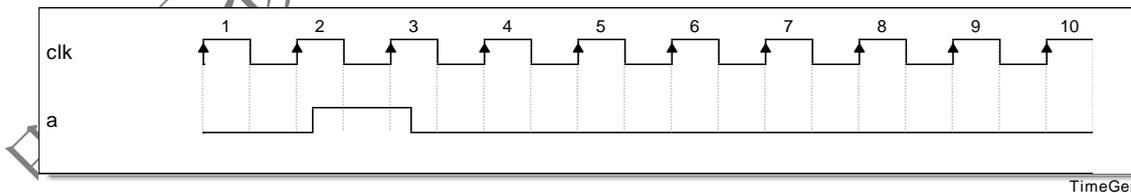
影响建立时间和保持时间的因素非常多，例如寄存器传输延时、寄存器到管脚延时、走线延时等等。

理想情况下波形是这样的：



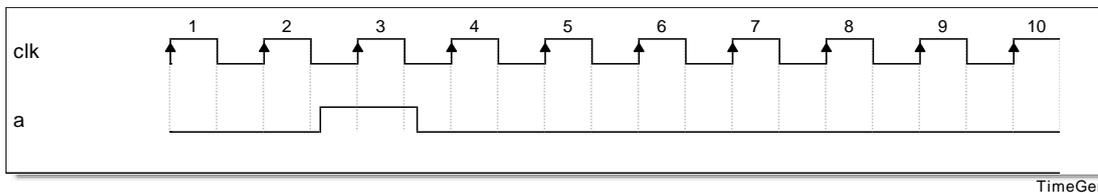
在时钟 2 时将信号 a 变高，由于没有任何延时，因此信号立刻传递到时钟 3，因此此时建立时间为周期 T，保持时间为 0。

加上寄存器延时和寄存器到管脚延时后的波形是这样的：



在时钟 2 时信号 a 变高，经过寄存器延时 (T_{co}) 后，信号立刻传递到时钟 3，因此此时建立时间为 $(T - T_{co})$ ，保持时间为 T_{co} 。

实际电路还会加上线路延时或其他延时 (T_{pcb})，因此实际波形如下图：



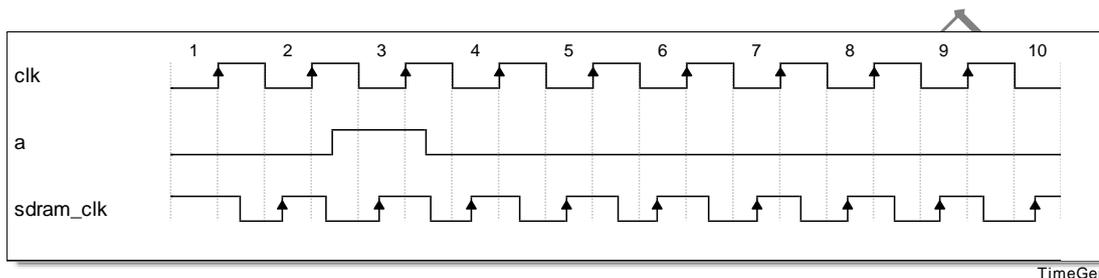
在时钟 2 时信号 a 变高，经过寄存器延时 (T_{co}) 后，再经过走线延时等，信号传递到时钟 3，因此此时建立时间为 $(T - T_{co} - T_{pcb})$ ，保持时间为 $T_{co} + T_{pcb}$ 。

由参数表可知，建立时间要求为 2，保持时间为 1。则如果 $(T - T_{co} - T_{pcb}) > 2$ ，并且 $(T_{co} + T_{pcb}) > 1$ ，则能满足要求。

但，如果不满足以上要求，怎么办？

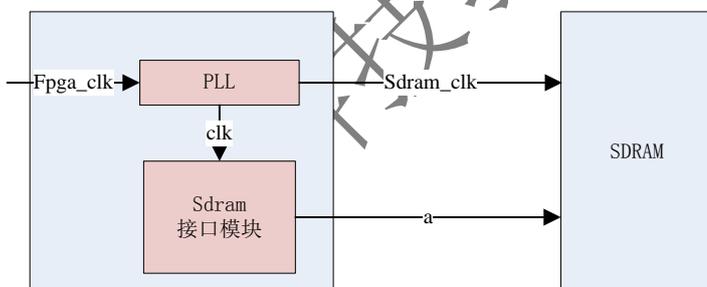
方法 1：添加时序约束。由于 T_{pcb} 和时钟频率是固定的，我们可以添加时序约束，让 FPGA 增加寄存器延时、寄存器到管脚的延时，从而使上述满足建立时间和保持时间要求。

方法 2：添加随路时钟



如上图所示，信号 a 是在时钟 clk 时钟域产生的信号。sdram_clk 是与 clk 同源、频率相同、相位不同的时钟信号。当 sdram_clk 输出作为 sdram 的工作时钟，通过调整 sdram_clk 的相位就能调整时序，从而满足建立时间和保持时间的要求。

那么 sdram_clk 如何产生呢？可以通过 PLL 来产生，PLL 可以保证频率相同、相位偏移量，所以该系统的结构如图：



晶振过来的 fpga_clk 经过 PLL，产生两个时钟 clk 和 sdram_clk，clk 作为 sdram 接口模块的工作时钟，而 sdram_clk 则直接送给 SDRAM，作为 SDRAM 的工作时钟。

以上 2 种方法有什么优缺点？如何取舍？

方法 1 是比较正规的传统方法，不用再产生时钟。但调试起来麻烦，这是由于时钟约束是比较飘渺的东西，不知道有没有起作用（也有可能自己约束错了而不知道，也有可能约束太紧而满足不了）。

方法 2 调试起来简单，PLL 设置简单，出错可能性小。通过不断调整相位，最终肯定可以正确通信。缺点也明显，接口一多，每个都要做随路时钟就浪费了。