

明德扬科技教育有限公司

SDRAM 接口练习 3

官 网: www.mdy-edu.com

淘 宝: mdy-edu.taobao.com

QQ 群: 97925396

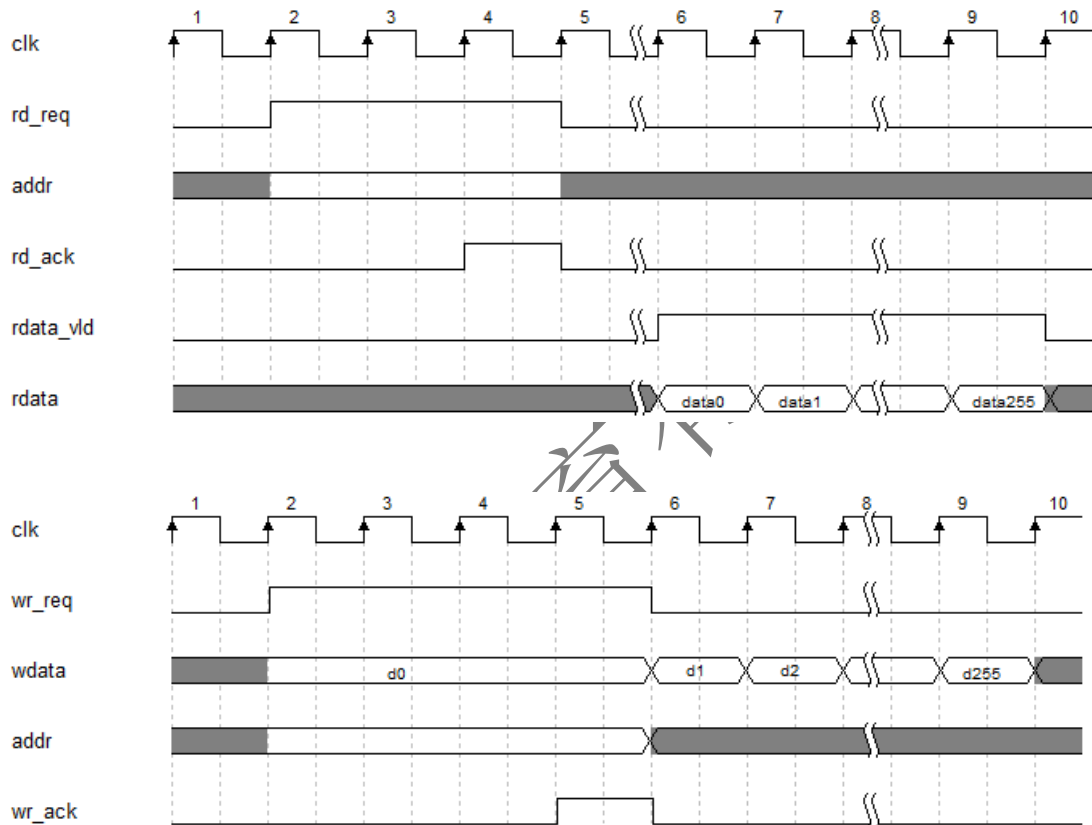
QQ 咨询: 158063679

一、功能简述

根据 SDRAM 数据手册提供的时序图，在 SDRAM 接口练习 2 的基础上，补充读功能。

1. 当初始化完成后，处于 IDLE 状态。输入接口有读请求 `rd_req` 和写请求 `wr_req` 信号。如果 `rd_req` 为 1 时，则进行读操作；否则如果 `wr_req` 为 1，则进行写操作。也就是说读请求的优先级高于写请求。

时序如下图。



2. 读写模式为：全页模式，该模式在写完成时，需要给出预充电命令才能结束。全页模式的写，可参考数据手册第 52 页的内容；全页模式的读，可参考数据手册第 45 页内容。

3. 初始化完成后，每隔【 $1562-256(\text{突发长度})-3(\text{激活时间})-3(\text{预充电时间})=1300$ 】时进行刷新。如果时间到了时处于 IDLE 状态，则立刻进行自动刷新；如果处于读写状态，则等待变到 IDLE 状态后，再执行自动刷新。

二、信号列表

信号名	I/O	位宽	说明
<code>clk</code>	I	1	系统工作时钟 100MHz。
<code>rst_n</code>	I	1	系统复位信号，低电平有效。
<code>wr_req</code>	I	1	写请求信号
<code>rd_req</code>	I	1	读请求信号
<code>addr</code>	I	22	读写地址。

			[21:20]:bank 地址 [19: 8] 行地址 [7:0] 列地址
wdata	I	16	写数据，在写请求期间发送第一个数据，收到应答信号后立刻发送剩余的数据，1 个时钟一个。
wr_ack	O	1	写应答信号。如果响应了写请求，则立刻回答一个时钟周期的写应答。此处要求组合逻辑输出。
rd_ack	O	1	读应答信号。如果响应了读请求，则立刻回答一个时钟周期的写应答。此处要求组合逻辑输出。
rdata	O	16	读到的数据
rdata_vld	O	1	读到的数据有效指示信号
cke	I	1	时钟使能信号
cs	O	1	与 SDRAM 管脚相连的 CS 信号。
ras	O	1	与 SDRAM 管脚相连的 RAS 信号。
cas	O	1	与 SDRAM 管脚相连的 CAS 信号。
we	O	1	与 SDRAM 管脚相连的 WE 信号。
dqm	O	2	与 SDRAM 管脚相连的 DQM 信号。
addr	O	12	与 SDRAM 管脚相连的 A 信号。
bank	O	2	与 SDRAM 管脚相连的 BA 信号。
dq	IO	16	与 SDRAM 管脚相连的 DQ 信号。

三、 学习建议

1. 本练习只要求用 modelsim 仿真，逻辑功能符合数据手册要求。