

明德扬科技教育有限公司

SDRAM 接口练习 2

官 网: [www.mdy-edu.com](http://www.mdy-edu.com)

淘 宝: [mdy-edu.taobao.com](http://mdy-edu.taobao.com)

QQ 群: 97925396

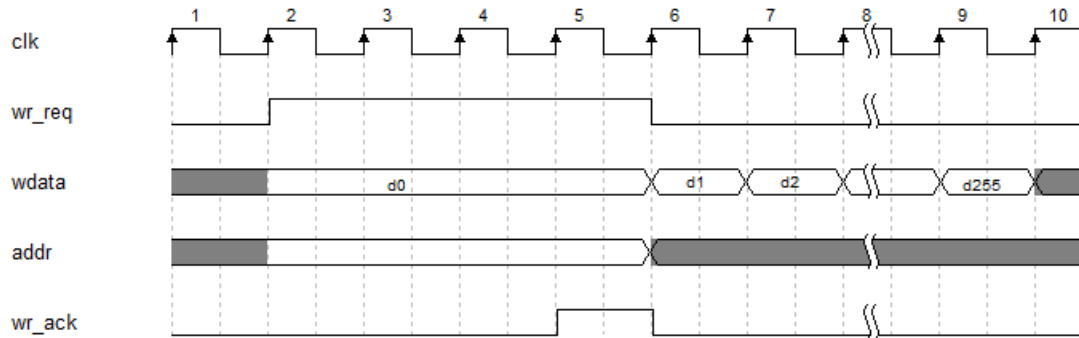
QQ 咨询: 158063679

## 一、功能简述

根据 SDRAM 数据手册提供的时序图，在 SDRAM 接口练习 1 的基础上，补充写状态。

1. 当初始化完成后，处于 IDLE 状态。此时如果输入接口 wr\_req 为 1，则表示需要进行写操作。

时序如下图。



2. 写模式为：全页模式，该模式在写完成时，需要给出预充电命令才能结束。全页模式的写，可参考数据手册 52 页的内容。

3. 根据练习 1，初始化完成后，正常情况下应该每隔 1562 个时钟周期就要给出一个自动刷新命令。由于自动刷新是必须执行的命令，如果这时刚好处于写状态，就要停止写而去执行自动刷新命令。这样状态跳转相当复杂，并且容易丢失数据。

为了简化操作，现在将刷新间隔改为【1562-256(突发长度)-3(激活时间)-3(预充电时间)】=1300，如果时间到了时处于 IDLE 状态，则立刻进行自动刷新；如果处于写状态，则等待变到 IDLE 状态后，再执行自动刷新。

问题 1：最恶劣情况下，多久才能执行自动刷新命令？

答：最恶劣的情况，刚计数到 1300 时，开始执行写时序，此时等待写结果共需要 262 拍，因此需要 1562 拍，满足时序要求。

问题 2：将 1562 改为 1300，是否会浪费带宽，即占用了数据时间？

答：不会。如果全速读写，则每次刷新的时间都为 1562。如果不是全速读写，则至少是 1300，竟然都非全速了，闲着也是闲着，用于刷新也没浪费。

## 二、信号列表

信号名	I/O	位宽	说明
clk	I	1	系统工作时钟 100MHz。
rst_n	I	1	系统复位信号，低电平有效。
wr_req	I	1	写请求信号
waddr	I	22	写地址。 [21:20]:bank 地址 [19: 8] 行地址 [7:0] 列地址
wdata	I	16	写数据，在写请求期间发送第一个数据，收到应答信号后立刻发送剩余的数据，1 个时钟一个。
wr_ack	O	1	写应答信号。如果响应了写请求，则立刻回答一个时钟周期的写应答。此处要求组合逻辑输出。

cke	I	1	时钟使能信号
cs	O	1	与 SDRAM 管脚相连的 CS 信号。
ras	O	1	与 SDRAM 管脚相连的 RAS 信号。
cas	O	1	与 SDRAM 管脚相连的 CAS 信号。
we	O	1	与 SDRAM 管脚相连的 WE 信号。
dqm	O	2	与 SDRAM 管脚相连的 DQM 信号。
addr	O	12	与 SDRAM 管脚相连的 A 信号。
bank	O	2	与 SDRAM 管脚相连的 BA 信号。
dq	IO	16	与 SDRAM 管脚相连的 DQ 信号。

### 三、信号列表

1. 本练习只要求用 modelsim 仿真，逻辑功能符合数据手册要求。