

明德扬科技教育有限公司

SDRAM 接口练习 1

官 网: www.mdy-edu.com

淘 宝: mdy-edu.taobao.com

QQ 群: 97925396

QQ 咨询: 158063679

一、功能简述

根据 SDRAM 数据手册提供的时序图，完成 SDRAM 以下功能的设计：

1. 工作时钟定为 100M

原因：在刚开始设计时，不要将时序做得太紧，尽量放松，极力避免时序问题，而只解决逻辑问题。另一个原因是，100M 的时钟周期为 10ns，计算时序参数非常方便。

2. SDRAM 的初始化

上电或者复位后，开始执行 SDRAM 初始化。

初始化过程请参考数据手册第 35 页的内容。

3. SDRAM 的自动刷新功能

初始化完成后，每隔 1562 个时钟周期，给出刷新命令。（ $64\text{ms}/4096=15625\text{ns}$ ，时钟周期约为 10ns，所以每隔 $15625/10$ ，约为 1562.3 个时钟就要刷新，取整为 1562 个）

刷新时序参考数据手册第 38 页内容。

二、信号列表

信号名	I/O	位宽	说明
clk	I	1	系统工作时钟 100MHz。
rst_n	I	1	系统复位信号，低电平有效。
cke	O	1	时钟使能信号
cs	O	1	与 SDRAM 管脚相连的 CS 信号。
ras	O	1	与 SDRAM 管脚相连的 RAS 信号。
cas	O	1	与 SDRAM 管脚相连的 CAS 信号。
we	O	1	与 SDRAM 管脚相连的 WE 信号。
dqm	O	2	与 SDRAM 管脚相连的 DQM 信号。
addr	O	12	与 SDRAM 管脚相连的 A 信号。
bank	O	2	与 SDRAM 管脚相连的 BA 信号。
dq	IO	16	与 SDRAM 管脚相连的 DQ 信号。

三、信号列表

1. 本练习只要求用 modelsim 仿真，逻辑功能符合数据手册要求。