

明德扬科技教育有限公司

SDRAM 接口设计

官 网: www.mdy-edu.com

淘 宝: mdy-edu.taobao.com

QQ 群: 97925396

QQ 咨询: 158063679

课程一课程计划、SDRAM 简介和术语

一、课程计划

与其他课程的区别：

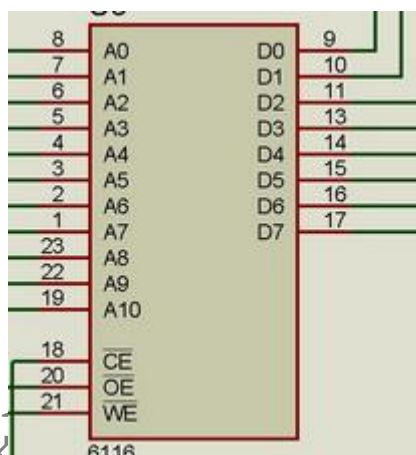
其他课程重在讲述 SDRAM 的原理、概念、调用 IP 核的方法等。

本课程把 SDRAM 当成一个项目来设计，按照 FPGA 设计的流程，完成阅读 SDRAM 数据手册、定义功能、编写代码、上板调试、时序约束等所有内容。

通过本课程的学习，不仅能深刻理解 SDRAM 的原理、SDRAM 时序、设计注意事项等，还能掌握 FPGA 的设计方法和思路。

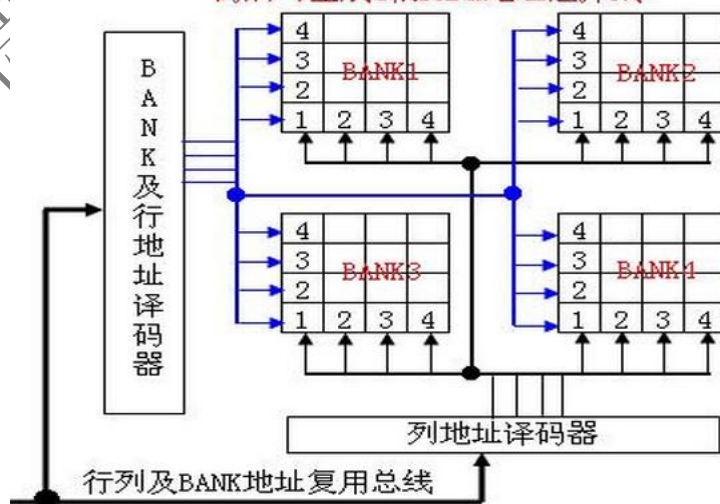
注意：《明德扬的基础课程》是学习本课程的前提。

二、SDRAM 简介



普通的 RAM

4个BANK需要2根BANK地址线, 译码后可生成4根BANK地址选择线



SDRAM

SDRAM: Synchronous Dynamic Random Access Memory, 即同步动态随机存取存储器。

- “同步”是指其时钟频率与 CPU 前端总线的系统时钟频率相同, 并且内部命令的发送与数据的传输都以此频率为基准; (即有一个同步时钟, 按时钟来读写数据)
- “动态”是指存储阵列需要不断的刷新来保证所存储数据不丢失; (与普通 RAM 的最大区别, 就是要隔段时间刷新数据)
- “随机”是指数据不是线性一次存储, 而是自由指定地址进行数据的读写。

普通 RAM 和 SDRAM 控制上的区别

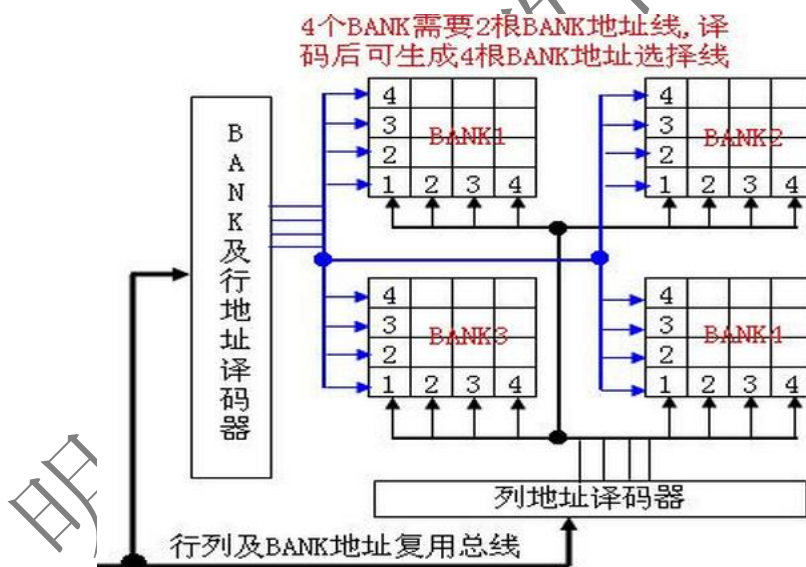
- SDRAM 需要定时刷新 (刷新、自刷新、预充电等操作)
- 行列地址分开 (管脚减少的同时, 可索引变大)
- 含有 BANK (多了两根地址线)
- 支持 BURST 操作 (操作有少少变化)

更多 SDRAM 介绍, 请查看百度文档《[SDRAM 原理\(强烈推荐\)](#)》这个文档。

三、SDRAM 术语

1. 结构

A. BANK



将 SDRAM 内部分割成多个 BANK, 每个 BANK 形状相同, 彼此独立, 可以独立工作。例如一个 BANK 读写的同时, 另一个 BANK 执行刷新操作。

对于接口设计来说, 将 BANK 地址线可以认为是行地址线的高两位, 例如 {2 位 BANK 线, 12 位行地址线} = 新的 14 位行地址线。

B. 容量

内存芯片容量的计算方法为: 存储单元数量 = 行数 \times 列数 (得到一个 L-Bank 的存储单元数量) \times L-Bank 的数量。在很多内存产品介绍文档中, 都会用 $M \times W$ 的方式来表示芯片的容量。M 是该芯片中存储单元的总数, 单位是兆, W 代表每个存储单元的容量, 也就

是 SDRAM 芯片的位宽 (Width)，单位是 bit。计算出来的芯片容量也是以 bit 为单位。

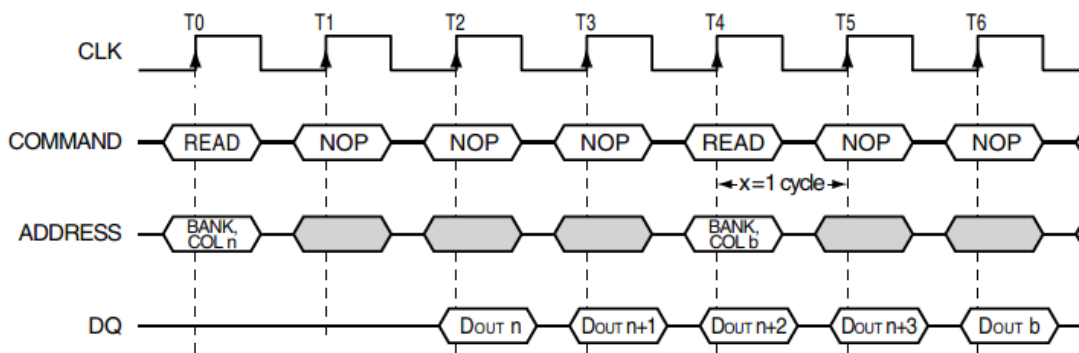
2. 初始化

即上电后，SDRAM 第一步要做的过程。只有初始化之后，才能正常工作。不管哪个品牌，哪个型号，都要执行初始化过程。但不同型号初始化要求可能不同，详细要看对应的 datasheet。

3. 突发 burst

A. 突发读写

突发 (Burst) 是指在同一行中相邻的存储单元连续进行数据传输的方式。只需要给出读写命令和开始地址，就开始读/写一定长度数据，地址自动递增。例如下面是突发读的时序。



B. 突发长度

连续传输所涉及到的存储单元 (列) 的数量就是突发长度 (Burst Lengths, 简称 BL)。常见的突发长度是 1、2、4、8 和全页。

C. 优点

只要在开始时，给出行列地址，即可连续读或写，简化了 CPU 操作并提高了速度。FPGA 倒没多大影响。

4. 刷新 Refresh

存储阵列需要不断的刷新来保证所存储数据不丢失：由于 SDRAM 是电容存储数据，时间一长，会漏电，从而造成数据丢失。

刷新可以认为是这样一种操作：将一行的数据读出来，又写进去。

A. 存储时间

公认标准：电容存储数据时间是 64ms。即每隔 64ms，所有的单元都要刷新完一遍。

B. 刷新命令

FPGA 每给一个刷新命令，只刷新 BANK 中的一行。刷新命令不需要提供行列地址。SDRAM 内部会自动按顺序刷新每一行。一次操作一行，因此也无需要列地址。

C. 刷新周期

刷新周期：64ms/BANK 行数，例如 1 个 BANK 的行数为 4096，则至少每隔 64ms/4096=15.625us 就要刷新一次。

D. 刷新时间

给出刷新命令，SDRAM 就进行刷新操作，一般需要 9 个时钟周期时间（具体时间参看 datasheet）。此时不能对 SDRAM 进行任何操作。

E. 自动刷新（Auto Refresh，简称 AR）

正常工作状态下的刷新。

F. 自刷新（Self Refresh，简称 SR）

休眠状态下的刷新。

5. 预充电 Precharge

由于 SDRAM 的寻址具体独占性，所以在进行完读写操作后，如果要对同一 L-Bank 的另一行进行寻址，就要将原来有效（工作）的行关闭，重新发送行/列地址。L-Bank 关闭现有工作行，准备打开新行的操作就是预充电（Precharge）。

可设置让芯片每次读写操作后，自动进行预充电。这样设计时无需要关心，只需要等待几个时间周期即可。

6. 模式寄存器(mode register)

SDRAM 支持多种工作模式，突发相关的有：是否突发读写、突发长度、突发类型等。还可以配置延时（latency）。

这些必须在上电后，正常读写前确定好，写进模式寄存器。如何写，请参看 datasheet。这是初始化的一个步骤。

7. SDRAM 命令

通过 CKE、CS、RAS、CAS、WE 等信号的组合，可产生如下命令，详细见 datasheet。

- A. NOP：空操作命令
- B. ACTIVE：读写之前的激活操作
- C. READ：读
- D. WRITE：写
- E. BURST TERMINATE：突发读写结束命令
- F. PRECHARGE：预充电命令
- G. AUTO REFRESH：自动刷新
- H. SELF REFRESH：自刷新
- I. LOAD MODE REGISTER：修改模式寄存器

作业：阅读SDRAM IS42S16400F的datasheet。该SDRAM共64Mbit，明德扬即将推出的通信开发板将有此SDRAM，欢迎关注。

课程二 SDRAM datasheet 阅读

明德扬科技教育有限公司

课程三 SDRAM 功能答疑

明德扬科技教育有限公司

课程四 SDRAM 接口功能要求

1. 完成初始化、刷新的状态机设计
 - a 初始化
 - b 自动刷新
2. 补充写状态机的设计
 - a 初始化
 - b 自动刷新
 - c 写的全页模式。
3. 补充读状态机的设计
 - a 初始化
 - b 自动刷新
 - c 写的全页模式。
 - d 读的全页模式。
4. 完成整个接口功能设计
功能与 `sdram_intf.v` 功能相同
 - a 定义好接口信号
 - b 补充每个信号的代码
5. 完成自测文件 1 的设计
 - a 输入延时和输出延时
 - b PLL 的设置
6. 完成自测文件 2 的设计
7. 完成读状态机的设计（给定起始地址）
 - a 不带自动预充电、全页模式，要 `precharge`。每读一闪，都要激活一次。
 - b 带自动预充电、8 字节模式、每读一次，都激活一次
 - c 不带自动预充电、8 字节模式、每读一次，都激活一次
 - d 带自动预充电、8 字节模块、如果同一行无须再激活，中间不停顿。不同一行的，要等待结束并要重新激活。
8. 完成写状态机的设计
 - a 带自动预充电、8 字节模式、同一行连续写
 - b 不带自动预充电、8 字节模式、同一行连续写
 - c 不带自动预充电、全页模式，要 `precharge`
9. 完成读写状态机的设计

- a 按以下要求，完成读写状态机设计
 - a) 不带自动预充电、全页模式，读或写完成后，需要给结束或预充电命令
 - b) 读优先级更高，即如果同时要求读和写，先响应读请求。
 - c) 读和写一行完成后，必须给预充电命令，结束操作。
 - b 按以下要求，完成读写状态机设计
 - a) 带自动预充电、8 字节模式
 - b) 读优先级更高，即如果同时要求读和写，先响应读请求。
 - c) 如果是连续读且是同一行的，则可连续读，中间不需要停留。
 - d) 如果是连续写且是同一行的，则可连续写，中间不必停留。
 - e) 如果是写之后是读且是同一行的，则可连续，中间不必停留。
 - f) 如果是读之后写且是同一行的，则必须等待三拍后，再写。如果在等待期间又有读请求，响应读请求，而不响应写。
 - g) 如果是不同行之间操作，必须再次发送激活命令。
10. 完成完整的接口时序
- a 按以下要求，完成读写状态机设计
 - a) 不带自动预充电、全页模式，读或写完成后，需要给结束或预充电命令
 - b) 读优先级更高，即如果同时要求读和写，先响应读请求。
 - c) 读和写一行完成后，必须给预充电命令，结束操作。
 - d) 如果是不同行之间操作，必须再次发送激活命令。
 - b 按以下要求，完成读写状态机设计
 - a) 带自动预充电、8 字节模式
 - b) 读优先级更高，即如果同时要求读和写，先响应读请求。
 - c) 如果是连续读且是同一行的，则可连续读，中间不需要停留。
 - d) 如果是连续写且是同一行的，则可连续写，中间不必停留。
 - e) 如果是写之后是读且是同一行的，则可连续，中间不必停留。
 - f) 如果是读之后写且是同一行的，则必须等待三拍后，再写。如果在等待期间又有读请求，响应读请求，而不响应写。
 - g) 如果是不同行之间操作，必须再次发送激活命令。
 - h) 在读写完一个操作过程中，如果刷新时间到，就要进行刷新。
11. 完成数据自产生、写、读、对比的功能

练习 1 SDRAM 状态机设计 1

功能要求：设计一个 SDRAM 接口模块，该模块除了读写功能外，其他如初始化、自动刷新、睡眠等功能都包括，工作时钟为 166MHz。具体的功能有：

初始化功能：模块上电或复位后，就开始执行初始化操作，按文档要求进行初始化，该 SDRAM 的工作模式为突发读写，突发长度为 8。

自动刷新功能：模块复位后，每隔 $64\text{ms}/4096=15625\text{ns}$ ，时钟周期是 6.025，为了计算方便，每隔 2593 拍就完成一次刷新。

当输入信号 sleep 为 0 时，就开始进入睡眠模式；在睡眠模式时，当 sleep 为 1 时，就退出睡眠模式。睡眠模式时，不用自动刷新。

信号名	I/O	位宽	说明
clk	I	1	系统工作时钟 166MHz
rst_n	I	1	系统复位信号，低电平有效
sleep	I	1	进入睡眠指示信号。 0: 进入睡眠 1: 退出睡眠
add	O	12	SDRAM 地址
ba	O	2	SDRAM 的 BANK 地址
dq_in	I	16	来自 SDRAM 的输入数据。注意此处是经过三态门后的信号
dq_out	O	16	送往 SDRAM 的输出数据。注意此处是经过三态门后的信号
dq_out_en	O	1	控制数据总线三态门的开关
cke	O	1	SDRAM 的 cke 信号
cs_n	O	1	SDRAM 的 cs 信号
ras_n	O	1	SDRAM 的 ras 信号
cas_n	O	1	SDRAM 的 cas 信号
we_n	O	1	SDRAM 的 we 信号
dqm	O	2	SDRAM 的 dqm 信号