

明德扬科技教育有限公司

SDRAM 接口练习 5

官 网: www.mdy-edu.com

淘 宝: mdy-edu.taobao.com

QQ 群: 97925396

QQ 咨询: 158063679

b) 如果没有同时出现读写请求, 则有什么请求就执行什么操作。

2) 另一种刷新方式

初始化完成后, 每隔【1562-256(突发长度)-3(激活时间)-3(预充电时间)】=1300 时进行刷新。如果时间到了时处于 IDLE 状态, 则立刻进行自动刷新; 如果处于读写状态, 则等待变到 IDLE 状态后, 再执行自动刷新。

另一种方式是: 计数器仍然计到 1562 个时钟周期。当其计到 1562 个, 设立标志位 `resh_flag=1`, 然后继续重新计数。状态机在空闲状态时如果 `flag=1`, 则执行自动刷新, 否则再看读写请求。(可能自动刷新间隔不同, 但每一行肯定能在 64 毫秒内刷新一次)。

二、信号列表

信号名	I/O	位宽	说明
clk	I	1	系统工作时钟 100MHz。
rst_n	I	1	系统复位信号, 低电平有效。
wr_req	I	1	写请求信号
rd_req	I	1	读请求信号
addr	I	22	读写地址。 [21:20]:bank 地址 [19: 8] 行地址 [7:0] 列地址
wdata	I	16	写数据, 在写请求期间发送第一个数据, 收到应答信号后立刻发送剩余的数据, 1 个时钟一个。
wr_ack	O	1	写应答信号。如果响应了写请求, 则立刻回答一个时钟周期的写应答。此处要求组合逻辑输出。
rd_ack	O	1	读应答信号。如果响应了读请求, 则立刻回答一个时钟周期的写应答。此处要求组合逻辑输出。
rdata	O	16	读到的数据
rdata_vld	O	1	读到的数据有效指示信号
cke	I	1	时钟使能信号
cs	O	1	与 SDRAM 管脚相连的 CS 信号。
ras	O	1	与 SDRAM 管脚相连的 RAS 信号。
cas	O	1	与 SDRAM 管脚相连的 CAS 信号。
we	O	1	与 SDRAM 管脚相连的 WE 信号。
dqm	O	2	与 SDRAM 管脚相连的 DQM 信号。
addr	O	12	与 SDRAM 管脚相连的 A 信号。
bank	O	2	与 SDRAM 管脚相连的 BA 信号。
dq	IO	16	与 SDRAM 管脚相连的 DQ 信号。

三、信号列表

1. 本练习只要求用 modelsim 仿真, 逻辑功能符合数据手册要求。